

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-060669

(43)Date of publication of application : 06.03.2001

(51)Int.Cl.

H01L 27/10
H01L 21/316
H01L 21/768
H01L 27/108
H01L 21/8242

(21)Application number : 2000-170333

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.06.2000

(72)Inventor : ITO AKIO

(30)Priority

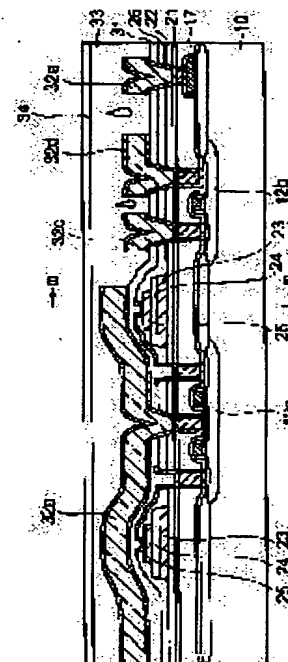
Priority number : 11170667 Priority date : 17.06.1999 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device manufacturing method, which is capable of avoiding reduction in a ferroelectric material or a high dielectric material, even if a CMP(chemical mechanical polishing) process is employed in the manufacture of a semiconductor device, where a ferroelectric material or high dielectric material is used and applied to the manufacture of an FeRAM (nonvolatile semiconductor memory) and a DRAM (volatile semiconductor memory) or a system LSI, where the memory elements and logic elements are mounted mixedly.

SOLUTION: A capacitor composed of an upper electrode 25, a dielectric film 24 of a ferroelectric material or high dielectric material, and a lower electrode 23 is provided. Furthermore, an interlayer insulating film 33 is formed above the capacitor, and the surface of the interlayer insulating film 33 is planarized through a CMP method. Then, the interlayer insulating film 33 is subjected to plasma annealing using N₂O gas, through which moisture attached to the surface of the interlayer insulating film 33 and contained in the insulating film 33 are removed. Thereafter, a redeposition interlayer insulating film 34 is formed on the interlayer insulating film 33.



LEGAL STATUS

[Date of request for examination]

07.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3260737

[Date of registration]

14.12.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A semiconductor device characterized by providing the following. A transistor which has the 1st impurity range and the 2nd impurity range which were formed in a semiconductor substrate, and a gate electrode formed on this semiconductor substrate It is the 1st insulator layer of a wrap about said transistor. A capacitor which has a dielectric film which is formed on said 1st insulator layer and consists of a ferroelectric material or high dielectric materials, an up electrode which sandwiches this, and a lower electrode Silicon oxide which has a front face by which was formed on said capacitor and flattening was carried out, and contains nitrogen on this front face at least

[Claim 2] A semiconductor device according to claim 1 characterized by forming a cavity in the interior of said silicon oxide.

[Claim 3] A semiconductor device according to claim 1 or 2 characterized by having the 2nd insulator layer formed on said capacitor, and wiring formed on said 2nd insulator layer between said capacitors and said silicon oxide.

[Claim 4] A semiconductor device according to claim 1 or 2 characterized by forming the 2nd insulator layer on said silicon oxide.

[Claim 5] A semiconductor device characterized by providing the following. A transistor which has the 1st impurity range and the 2nd impurity range which were formed in a semiconductor substrate, and a gate electrode formed on this semiconductor substrate It is the 1st insulator layer of a wrap about said transistor. A capacitor which has a dielectric film which is formed on said 1st insulator layer and consists of a ferroelectric material or high dielectric materials, an up electrode which sandwiches this, and a

lower electrode The 2nd insulator layer formed on said capacitor, and partial wiring which is formed on said 2nd insulator layer and connects said up electrode and said 1st impurity range of said capacitor, Said partial wiring and the 3rd insulator layer formed on said 2nd insulator layer, The 1st wiring connected to said 2nd impurity range through a hole which was formed on said 3rd insulator layer, and was formed in said 1st, 2nd, and 3rd insulator layers, 2nd wiring formed on the 4th insulator layer which has the upper surface by which was formed after said 1st wiring and flattening was carried out, and said 4th insulator layer

[Claim 6] A semiconductor device according to claim 5 characterized by forming in the interior of said 4th insulator layer a cavity which a part exposes from said upper surface of said 4th insulator layer.

[Claim 7] Said cavity is a semiconductor device according to claim 6 characterized by existing in a field between said two or more capacitors.

[Claim 8] A semiconductor device according to claim 6 characterized by forming the 5th insulator layer of a wrap on said 4th insulator layer in said cavity exposed from said upper surface of said 4th insulator layer.

[Claim 9] Said 2nd wiring is a semiconductor device according to claim 5 or 6 characterized by connecting with said 1st wiring through a hole formed in said 4th insulator layer.

[Claim 10] Said 3rd and 4th insulator layers are semiconductor devices according to claim 5 or 6 characterized by being silicon oxide.

[Claim 11] The upper surface of said 1st insulator layer is a semiconductor device according to claim 5 or 6 characterized by being the field by which flattening was carried out.

[Claim 12] It is the semiconductor device which is equipped with the following and characterized by carrying out plasma treatment of it while flattening of the front face of said 2nd insulator layer is carried out. A transistor which has the 1st impurity range and the 2nd impurity range which were formed in a semiconductor substrate, and a gate electrode formed on this semiconductor substrate It is the 1st insulator layer of a wrap about said transistor. A capacitor which has a dielectric film which is formed on said 1st insulator layer and consists of a ferroelectric material or high dielectric materials, an up electrode which sandwiches this, and a lower electrode The 2nd insulator layer formed on said

capacitor

[Claim 13] A manufacture method of a semiconductor device characterized by providing the following. A process which forms a transistor in a semiconductor substrate A process which forms the 1st insulator layer of a wrap for said transistor on said semiconductor substrate A process which forms a capacitor which has an up electrode which sandwiches a dielectric film which consists of a ferroelectric material or high dielectric materials, and this dielectric film, and a lower electrode on said 1st insulator layer A process which forms the 2nd insulator layer above said capacitor, a process which grinds said 2nd insulator layer and carries out flattening of the upper surface, and a process which performs dehydration processing of said 2nd insulator layer by plasma annealing

[Claim 14] Said plasma annealing is the manufacture method of a semiconductor device according to claim 13 characterized by being carried out by plasma-izing one of simple substances or these mixed gas of N₂O, and N₂, NO and O₂.

[Claim 15] Said 2nd insulator layer is the manufacture method of a semiconductor device according to claim 13 or 14 characterized by being formed by the plasma-CVD method for using TEOS gas.

[Claim 16] A manufacture method of a semiconductor device according to claim 13 characterized by forming a cavity in said 2nd insulator layer.

[Claim 17] The upper part of said cavity is the manufacture method of a semiconductor device according to claim 16 characterized by exposing by grinding said 2nd insulator layer.

[Claim 18] A manufacture method of a semiconductor device according to claim 13 or 14 characterized by having a process which forms the 3rd insulator layer on said 2nd insulator layer after said dehydration down stream processing.

[Claim 19] A manufacture method of a semiconductor device according to claim 13 or 14 characterized by having said capacitor, a process which forms the 4th insulator layer of a wrap for said capacitor between said 2nd insulator layer, and a process which forms bottom wiring between said 2nd insulator layer and said 4th insulator layer.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs]
This invention relates to the semiconductor device represented by the non-volatile semiconductor memory (FeRAM:Ferroelectric Random Access Memory) which used the ferroelectric material for the dielectric film of a capacitor, the volatile semiconductor memory (DRAM:Dynamic Random Access Memory) which used high dielectric materials for the dielectric film of a capacitor, or the system LSI consolidated with these memory devices and logic elements, and its manufacture method in more detail about a semiconductor device and its manufacture method.

[0002]

[Description of the Prior Art] In recent years, FeRAM which used the ferroelectric material for the dielectric film of a capacitor as non-volatile semiconductor memory of a low power attracts attention. Moreover, detailed-izing and high integration of semiconductor memory are demanded, and DRAM which used high dielectric materials for the dielectric film of a capacitor is developed in recent years in order to meet the demand.

[0003] The metallic oxide is usually used as the ferroelectric material of these FeRAM(s), and high dielectric materials of DRAM, respectively. Such a ferroelectric material and high dielectric materials are weak to a reducing atmosphere, and have the property in which a polarization property especially tends to deteriorate with a ferroelectric material. as the method of preventing deterioration of the polarization property of a ferroelectric material -- JP,9-307074,A -- a capacitor top -- spatter silicon oxide or SOG (Spin-On-Glass) after forming one of lower layer insulator layers -- a lower layer insulator layer top -- ozone and TEOS (tetraethoxysilane; Si₄ (OC₂H₅)₄) from -- preventing reduction of the dielectric film of a capacitor is indicated by by forming the upper insulator layer of silicon oxide. Moreover, in JP,10-275897,A, it is a metal CVD (Chemical Vapor Deposition). Equipment and MO (Metal Organic) Preventing deterioration of the polarization property of the capacitor of the lower part of the electric conduction film for wiring is indicated by by forming the electric conduction

film for wiring by DC sputter rather than forming the electric conduction film for wiring in the reducing atmosphere using a CVD system. Connecting wiring to the up electrode of a capacitor through the hole which formed SiO₂ film on the capacitor and was formed in this SiO₂ film using TEOS by the plasma-CVD method is indicated by this official report.

[0004] Moreover, a thin electric conduction pattern (wiring) is connected to a capacitor up electrode through the hole formed in the thin insulator layer which covers a capacitor, a thick aluminum circuit pattern is further formed for the electric conduction pattern on a wrap insulator layer, and wrap structure is further indicated by JP,11-238855,A by the insulator layer in the aluminum circuit pattern.

[0005]

[Problem(s) to be Solved by the Invention] However, in JP,11-238855,A, since the thickness of the aluminum circuit pattern used as a bit line is thick, the level difference of the irregularity of the front face of the interlayer insulation film formed on it becomes large. And if the irregularity of a wrap interlayer insulation film becomes large about an aluminum circuit pattern, at the photolithography process for forming up wiring on the interlayer insulation film, the focus in the case of exposure will tend to be defocused, and the problem that the pattern precision of up wiring falls will arise. In forming an interlayer insulation film by the plasma-CVD method especially, the level difference of the irregularity of the front face of an interlayer insulation film tends to become large.

[0006] On the other hand, HDP with the small level difference of surface irregularity (High Density Plasma) Although forming a film is also considered, in case the HDP film is formed, there is a possibility that, as for close, hydrogen may return the oxide dielectric film of a capacitor to an insulator layer. The object of this invention is to offer the semiconductor device and its manufacture method for preventing deterioration of a capacitor while forming the capacitor which used a ferroelectric material or high dielectric materials, and the wiring of a bit line formed further up with a sufficient precision.

[0007]

[Means for Solving the Problem] A transistor by which the above-mentioned technical problem was formed in a semiconductor substrate, and a capacitor formed on the 1st insulator layer of a

wrap in a transistor, Partial wiring formed through the 2nd insulator layer on a capacitor, and the 1st wiring formed on the 3rd insulator layer of a wrap in partial wiring, It is solved by semiconductor device which has the 4th insulator layer which has the upper surface by which was formed after the 1st wiring and flattening was carried out, and the 2nd wiring formed on the 4th insulator layer.

[0008] According to this invention, it has a capacitor using a ferroelectric material or high dielectric materials, the 1st wiring formed through an insulator layer on it, an insulator layer to which it was formed after the 1st wiring and flattening of the upper surface was carried out, and the 2nd wiring formed on an insulator layer. A pattern of the 2nd wiring formed above a capacitor which has a ferroelectric film or a high dielectric film by this is formed with a sufficient precision.

[0009] Moreover, the above-mentioned technical problem is solved by the manufacture method of a semiconductor device which forms a capacitor equipped with a dielectric film which consists of a ferroelectric material or high dielectric materials above a semiconductor substrate, forms the 1st insulator layer above this capacitor, grinds the 1st insulator layer further, carries out flattening of that upper surface, and is characterized by performing dehydration processing by plasma annealing to the 1st insulator layer after that.

[0010] According to this invention, after forming a capacitor using a ferroelectric material or high dielectric materials as a dielectric film, the 1st insulator layer is formed in that upper part, and it has a process which carries out flattening of this 1st insulator layer for example, by the CMP method. Moisture in an abrasive material and moisture in a penetrant remover not only adhere to a front face of the 1st insulator layer, but at a polishing process, moisture invades into the 1st insulator layer. In order to remove moisture adhering to the 1st insulator layer front face, and moisture which invaded into the 1st insulator layer, it sets to this invention, and it is N₂O, for example. Dehydration processing has been performed from a polished surface of the 1st insulator layer by annealing in the inside of a plasma ambient atmosphere of gas or NO gas.

[0011] By the way, since a metal wiring layer is in a lower layer of the 1st insulator layer in using an electric furnace as heat treatment for dehydration, annealing in an electric furnace is limited to a

heat-resistant temperature of 450 degrees C or less of aluminum. Mere heat treatment of such low temperature of an effect of dehydration processing is inadequate. On the other hand, like this invention, if plasma annealing is used, it will be possible to remove moisture from an insulator layer more certainly at low temperature 450 degrees C or less, and a problem that a metal wiring layer will oxidize will not be generated at such low temperature, either.

[0012] Therefore, in such plasma annealing, moisture in the 1st insulator layer can be more certainly removed compared with mere heat treatment. Reduction of a ferroelectric film resulting from a front face of the 1st insulator layer or moisture in it or a high dielectric film and deterioration of a capacitor are prevented by this, and good FeRAM or good DRAM can be manufactured. N2O According to plasma annealing of gas or NO gas, when the 1st insulator layer is formed from silicon oxide, nitrogen will be contained in the front face at least.

[0013] When a cavity (SU, a void, or keyhole) is formed in the 1st insulator layer to which flattening was performed by the CMP method, the cavity may be exposed to a groove from a polished surface. And when a wiring layer is formed on the polished surface, there is a possibility that, as for close, an electrical conducting material which constitutes a wiring layer may short-circuit in a cavity two or more wiring which cross a cavity. For this reason, it is desirable that form the 2nd insulator layer on a polished surface of the 1st insulator layer, and a cavity exposed to a polished surface of the 1st insulator layer at a groove is covered or filled up with the 2nd insulator layer.

[0014] in order to acquire the above-mentioned effect certainly, it is desirable to set thickness of the 2nd insulator layer to 100nm or more. Moreover, width of face of a cavity exposed from a polished surface varies, and when a portion in which a part of the cavity is not covered with the 2nd insulator layer occurs, there is a possibility that a slit may be formed on a cavity in a metal membrane formed on the 2nd insulator layer. When a slit exists in a metal membrane, close has a possibility that hydrogen may deteriorate a capacitor in the 1st insulator layer through the slit. So, in order to prevent that a slit is formed in a metal membrane, it is desirable to set thickness of the 2nd insulator layer to at least 300nm.

[0015] In addition, the 2nd insulator layer may be

formed on the 1st insulator layer, and the above-mentioned plasma annealing may be given after that. In this case, while deterioration of the insulating property of the 1st and 2nd insulator layers is avoidable, moisture in the 1st insulator layer and the 2nd insulator layer is simultaneously removable.

[0016]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained with reference to an attached drawing. Drawing 1 - drawing 16 are the cross sections showing the manufacture method of the semiconductor device of 1 operation gestalt of this invention in order of a process. In addition, as a semiconductor device of this operation gestalt, FeRAM is mentioned as an example and explained.

[0017] First, a process until it acquires the cross-section structure shown in drawing 1 is explained. it is shown in drawing 1 -- as -- p type silicon (semiconductor) substrate 10 front face -- LOCOS (Local Oxidation of Silicon) -- the isolation insulator layer 11 is selectively formed by law. formation of the isolation insulator layer 11 -- LOCOS -- STI (Shallow Trench Isolation) besides law may be adopted.

[0018] After forming such an isolation insulator layer 11, p mold impurity and n mold impurity are selectively introduced into the predetermined active region (transistor formation field) in the memory cell field 1 of a silicon substrate 10, and the circumference circuit field 2, and p well 12a and n well 12b are formed. In addition, in the circumference circuit field 2, although not shown in drawing 1, in order to form CMOS, p well (un-illustrating) is also formed.

[0019] Then, the active-region front face of a silicon substrate 10 is oxidized thermally, and silicon oxide is formed as gate insulator layer 10a. Next, sequential formation of an amorphous silicon film and the tungsten silicide film is carried out all over a silicon substrate 10 upside, patterning of these amorphous silicon films and the tungsten silicide film is carried out to a predetermined configuration by the photolithography method, and the gate electrodes 13a-13c and wiring 14 are formed. In addition, a polish recon film may be formed instead of the amorphous silicon film which constitutes the gate electrodes 13a-13c.

[0020] On [of one] p well 12a, two gate electrodes 13a and 13b are arranged mostly at parallel, and those gate electrodes 13a and 13b constitute a

part of word line WL from a memory cell field 1. Next, in the memory cell field 1, in p well 12a of the both sides of the gate electrodes 13a and 13b, the ion implantation of the n mold impurity is carried out, and n mold impurity diffusion field 15a used as the source drain of an n channel MOS transistor is formed. It can come, simultaneously n mold impurity diffusion field may be formed also in p well (un-illustrating) of the circumference circuit field 2. Then, in the circumference circuit field 2, the ion implantation of the p mold impurity is carried out to n well 12b of the both sides of gate electrode 13c, and p mold impurity diffusion field 15b used as the source drain of a p channel MOS transistor is formed. n mold impurity and p mold impurity -- having good control of striking a ball in any direction -- it is carried out using a resist pattern.

[0021] After that, after forming an insulator layer all over a silicon substrate 10, etchback of the insulator layer is carried out, and it leaves only the gate electrodes 13a-13c and the both-sides portion of wiring 14 as a side-attachment-wall insulator layer 16. As the insulator layer, silicon oxide (SiO₂) is formed with a CVD method. Next, an acid silicon nitride (SiON) film is formed in the thickness of about 200nm as a covering film 3 all over a silicon substrate 10 by the plasma-CVD method. Then, by the plasma-CVD method using TEOS gas, on the covering film 3, silicon oxide (SiO₂) is grown up into the thickness of about 1.0 micrometers, and this forms the 1st interlayer insulation film 17. In addition, SiO₂ film formed by the plasma-CVD method using TEOS is said to below also as a TEOS film.

[0022] Then, the 1st interlayer insulation film 17 is heat-treated for 30 minutes at the temperature of 700 degrees C in the nitrogen-gas-atmosphere mind of ordinary pressure as eburnation processing of the 1st interlayer insulation film 17. after that -- the 1st interlayer insulation film 17 -- chemical mechanical polishing (it is called CMP below Chemical Mechanical Polishing :) -- it grinds by law and flattening of the 1st interlayer insulation film 17 upper surface is carried out. Next, a process until it forms the structure shown in drawing 2 is explained.

[0023] First, the contact holes 17a-17d of the depth which arrives at the impurity diffusion fields 15a and 15b, and beer hall 17e of the depth which reaches wiring 14 are formed in the 1st interlayer insulation film 17 by the photolithography method, respectively. Then, it is

TiN of Ti (titanium) thin film of 20nm of thickness, and 50nm of thickness to the 1st interlayer insulation film 17 upper surface and hole 17a - 17e inner surface. A thin film (titanium night RAIDO) is formed in order by the spatter. Furthermore, it is TiN about a tungsten (W) by the CVD method. It grows up on a thin film. Consequently, a tungsten film is embedded in contact holes 17a-17d and beer hall 17e.

[0024] Then, a tungsten film, a TiN thin film, and Ti thin film are ground by the CMP method until the 1st interlayer insulation film 17 upper surface is exposed. The tungsten film which remains in hole 17a - 17e after this polishing is used as plugs 18a-18e for carrying out electrical installation of the below-mentioned wiring to the impurity diffusion fields 15a and 15b and wiring 14. 1st plug 18a on n mold impurity diffusion field 15a inserted into two gate electrodes 13a and 13b in one p well 12a of the memory cell field 1 is connected to the bit line mentioned later, and plug 18of ** remaining two 2nd b is further connected to the capacitor mentioned later.

[0025] In addition, after forming contact holes 17a-17d and beer hall 17e, the ion implantation of the impurity may be carried out to the impurity diffusion fields 15a and 15b for contact compensation. Next, as shown in drawing 3, in order to prevent oxidation of Plugs 18a-18e, the SiON (insulator layer) film 21 is formed by the plasma-CVD method for using a silane (SiH₄) at the thickness of 100nm on the 1st interlayer insulation film 17 and plug 18a - 18e, and SiO₂ film 22 is further formed in the thickness of 150nm by the plasma-CVD method using TEOS and oxygen as reactant gas. In addition, the SiON film 21 is formed in order to prevent the water entry to the 1st interlayer insulation film 17.

[0026] Then, those films are heat-treated for 30 minutes at the temperature of 650 degrees C in the nitrogen-gas-atmosphere mind of ordinary pressure for the eburnation of the SiON film 21 and SiO₂ film 22. In addition, although the 1st interlayer insulation film 17 and SiO₂ film 22 which were formed by the plasma-CVD method using TEOS gas are heated at the temperature of 650-700 degrees C, respectively, since a metal membrane with the low melting point like aluminum does not exist in the bottom of it, the adverse effect by heating of a temperature to that extent is not generated.

[0027] Next, as shown in drawing 4, by DC (Direct Current) spatter, on SiO₂ film 22, the

sequential deposition of Ti and the Pt (platinum) is carried out, and 1st electric conduction film 23a of the two-layer structure is formed. In this case, thickness of about 10-30nm and Pt film is set to about 100-300nm for the thickness of Ti film. For example, thickness of 20nm and Pt film is set to 175nm for the thickness of Ti film. In addition, films, such as iridium, a ruthenium, ruthenium oxide, oxidation iridium, and ruthenium oxide strontium (SrRuO_3), may be formed as 1st electric conduction film 23a.

[0028] Then, RF (Radio Frequency) By the sputter, on 1st electric conduction film 23a, the thickness of 100-300nm is made to deposit the titanate-acid lead zirconate (PZT; $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$) which is a ferroelectric material, and PZT film 24a is formed. For example, thickness of PZT film 24a is set to 240nm. And it is RTA (Rapid Thermal Annealing) in an oxygen ambient atmosphere as crystallization processing of PZT film 24a at the temperature of 650-850 degrees C, and the conditions for 30 - 120 seconds. It carries out. For example, it anneals for 60 seconds at the temperature of 750 degrees C.

[0029] As the formation method of a ferroelectric material film, they are the spin turning-on method, a sol-gel method, and MOD (Metal Organic Deposition) besides the above-mentioned sputter. There are law and the MOCVD method. moreover -- as a ferroelectric material -- everything but PZT -- zirconic acid titanate-acid lanthanum lead (PLZT), $\text{SrBi}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_9$ (however, $0 < x < 1$), and $\text{Bi}_4\text{Ti}_2\text{O}_{12}$ etc. -- it is. Furthermore, what is necessary is to replace with the above-mentioned ferroelectric material and just to use high dielectric materials, such as $\text{TiO}(\text{BaSr})_3$ (BST) and strontium titanate (STO), in forming DRAM.

[0030] After forming such PZT film 24a, Pt film is formed by DC sputter as 2nd electric conduction film 25a on it at the thickness of 100-300nm. For example, thickness of 2nd electric conduction film 25a is set to 200nm. In addition, an oxidation iridium (IrO_2) film or ruthenium oxide strontium (SRO) may be formed by the sputter as 2nd electric conduction film 25a.

[0031] Next, the capacitor of a predetermined configuration as shown in drawing 5 from those films is formed by carrying out patterning of 2nd electric conduction film 25a, PZT film 24a, and the 1st electric conduction film 23a one by one by the photolithography method. Here, 2nd electric conduction film 25a becomes the up electrode 25,

PZT film 24a becomes a dielectric film 24, and 1st electric conduction film 23a becomes the lower electrode 23. And Capacitor Q is constituted by the up electrode 25, a dielectric film 24, and the lower electrode 23. Only the number as the MOS transistor formed in [of one] p well 12a with same Capacitor Q is formed in the perimeter of p well 12a.

[0032] By the way, after carrying out patterning of the 2nd electric conduction film 25a and forming the up electrode 25, recovery annealing is given for damage clearance of Capacitor Q. A silicon substrate 10 is placed into an oxygen ambient atmosphere, and, specifically, Capacitor Q is heated for 30 - 120 minutes at the temperature of 500-700 degrees C. For example, recovery annealing heated for 60 minutes at the temperature of 650 degrees C shall be carried out. Moreover, also after carrying out patterning of the 1st conductor film 23a and forming the lower electrode 23, recovery annealing is carried out on the same conditions.

[0033] After forming Capacitor Q through the above processes, as it is shown in drawing 6, the 2nd interlayer insulation film 26 of the two-layer structure which consists of a TEOS film and an SOG film is formed in the whole surface, and it is a wrap about Capacitor Q by this 2nd interlayer insulation film 26. The TEOS film is formed by the thickness of 100-300nm all over a silicon substrate 10 upside of the plasma-CVD method for using TEOS gas by the conditions whose growth temperature is 390 degrees C and whose power is 400W. Moreover, an SOG film is formed by heating this, after applying an SOG solution to the thickness of 80-200nm on a TEOS film. At this example, the thickness of a TEOS film is 200nm and SOG (Spin-On-Glass). Suppose that membranous thickness is 100nm. Here, since an SOG film is a spreading nature insulator layer, the concavo-convex difference of the front face becomes small.

[0034] In addition, etchback may remove an SOG film. In this case, thickness of 500nm and an SOG film is set to 100nm for the thickness of a TEOS film. And patterning of the 2nd interlayer insulation film 26 is carried out by the photolithography method, and contact hole 26a is formed on the up electrode 25 of Capacitor Q. Then, recovery annealing is carried out to a dielectric film 24. Specifically, it heats for 30 - 120 minutes at the temperature of 500-650 degrees C in an oxygen ambient atmosphere. In this

example, it shall heat for 60 minutes at the temperature of 550 degrees C.

[0035] Next, patterning of the 2nd interlayer insulation film 26, the SiON film 21, and the SiO₂ film 22 is carried out by the photolithography method, contact hole 26b is formed on 2nd plug 18b of the memory cell field 1, and 2nd plug 18b is exposed. And it is TiN of 100nm of thickness the 2nd interlayer insulation film 26 top and in contact hole 26a and 26b. A film is formed by the spatter. Then, the TiN By carrying out patterning of the film by the photolithography method, the partial wiring (local wiring) 27 for carrying out electrical installation of 2nd plug 18b on p well 12a and the capacitor up electrode 25 through contact holes 26a and 26b in the memory cell field 1 is formed.

[0036] Next, a process until it forms structure as shown in drawing 7 is explained. First, a TEOS film is formed by the plasma-CVD method on the partial wiring 27 and the 2nd interlayer insulation film 26 at the thickness of 200-400nm, for example, 300nm. This TEOS film is used as the 3rd interlayer insulation film 31. In addition, the concavo-convex difference of the upper surface of the 3rd insulator layer 31 on it is not magnitude to the extent that polishing is needed reflecting the concavo-convex difference of the upper surface of the 2nd interlayer insulation film 26 under it.

[0037] Then, while forming contact hole 31a on 1st plug 18a of the mid gear of p well 12a by carrying out patterning of from the 3rd interlayer insulation film 31 in the memory cell field 1 to the SiON film 21 of the lower part by the photolithography method, contact holes 31c-31e are formed also on each plug 18c-18e of the circumference circuit field 2.

[0038] Furthermore, they are Ti film and TiN in the 3rd interlayer insulation film 31 top and contact holes 31c-31e. A film, aluminum (aluminum) film, and TiN While forming bit line 32a in the memory cell field 1 by carrying out the laminating of the four layers of a film one by one, and carrying out patterning of these metal membranes, in the circumference circuit field 2, Wiring 32c-32e is formed. These bit line 32a and Wiring 32c-32e turn into aluminum wiring of an eye further.

[0039] In addition, bit line 32a of the memory cell field 1 is connected to 1st plug 18a, and the wiring 32c-32e of the circumference circuit field 2 is connected to each plugs 18c-18e. It is TiN of the

thickness of 20nm, and the bottom about Ti film of for example, the lowest layer as thickness of each metal membrane which constitutes bit line 32a and Wiring 32c-32e. It is TiN of the thickness of 500nm, and an upside about the thickness of 50nm, and aluminum film in a film. Let a film be the thickness of 100nm.

[0040] Next, as shown in drawing 8, the 4th interlayer insulation film 33 which consists of SiO₂ [with a thickness of 2.0 micrometers] is formed after the 3rd interlayer insulation film 31, bit line 32a, and Wiring 32c-32e by the plasma-CVD method which uses TEOS gas and oxygen (O₂) gas. The equipment used for the plasma CVD impresses high-frequency power to the 2nd electrode, and has the single cycle impression structure which makes the 1st electrode a constant voltage while it has the chamber by which the 1st electrode which carries a silicon substrate 10, and the 2nd electrode which counters this are arranged. The membrane formation conditions at this time make growth temperature 400 degrees C or less, for example, 390 degrees C, and set a pressure to 1.2Pa. Moreover, 13.56MHz and power of those are set to 400W for the frequency of high-frequency power. In addition, flow rate of oxygen to TEOS gas is made about into one. According to these conditions, the ferroelectric material which constitutes Capacitor Q during membrane formation is hardly deteriorated, and it does not have an adverse effect on bit line 32a and Wiring 32c-32e.

[0041] By the way, in order that the 4th interlayer insulation film 33 formed by the plasma-CVD method which uses TEOS gas and oxygen gas may grow isotropic, as for the upper surface configuration of the 4th interlayer insulation film 33, bit line 32a under it, Wiring 32c-32e, etc. much more become easy to be influenced of the configuration of aluminum wiring of an eye. Therefore, when it is going to form aluminum wiring of a bilayer eye on the TEOS film which is the 4th interlayer insulation film 33, the patterning precision of aluminum wiring of a bilayer eye falls, or there are problems, such as becoming easy to generate an open circuit.

[0042] Then, in order to carry out flattening of the upper surface of the TEOS film which is the 4th interlayer insulation film 33, as shown in drawing 9, the process which grinds the upper surface by the CMP method is adopted. Let the amount of polishing be the thickness equivalent degree of

about 1.0 micrometers from the maximum upper surface. By the way, when the 4th interlayer insulation film 33 was heated so that it might mention later after grinding the 4th interlayer insulation film 33 by the CMP method, it became clear by experiment that the amount of polarization charge of Capacitor Q becomes small with the heating.

[0043] This is because the moisture in the slurry used in the case of flattening by the CMP method and the moisture in the penetrant remover used at the time of subsequent washing adhere to the front face of the TEOS film which is the 4th interlayer insulation film 3, or it is absorbed by the interior, even the capacitor Q of the lower part reaches and the moisture degrades Capacitor Q with heating. That is, it is thought by heating Capacitor Q at an elevated temperature after polishing of the 4th interlayer insulation film 33 that it is for the ferroelectric material which constitutes the capacitor dielectric film 24 to be returned by the moisture in an interlayer insulation film, and to lose a ferroelectricity, or for the interface of a ferroelectric material and an electrode to deteriorate with moisture. Especially the moisture absorbed by the 4th interlayer insulation film 33 when the 4th interlayer insulation film 33 and the 3rd interlayer insulation film 31 were heated in the condition of having been covered with the metal membrane which the 4th interlayer insulation film 33 mentions later It becomes that it is hard to be emitted outside, and it will permeate in the 3rd interlayer insulation film 31 through the crevice between bit wiring 32a, and will arrive at the perimeter of Capacitor Q, and deterioration of the capacitor Q by moisture will progress.

[0044] Then, in order to remove the moisture which entered in the 4th interlayer insulation film 33 at the time of polishing, and the moisture adhering to the front face and to prevent deterioration of Capacitor Q, as shown in drawing 10, dehydration processing by plasma annealing is performed to the 4th interlayer insulation film 33. Namely, after carrying out flattening of the 4th interlayer insulation film 33 by the CMP method, a silicon substrate 10 is laid in the chamber of a plasma generator (un-illustrating). It is N₂O within the chamber. 700sccm(s) and N₂ gas is supplied for gas by the flow rate of 200sccm(s), these gas is plasma-ized, and the 4th interlayer insulation film 33 is preferably put substrate temperature to the plasma by the time

amount for 4 minutes or more more than for 3 minutes as 450 degrees C or less, for example, 350 degrees C. Thereby, while the moisture in the 4th interlayer insulation film 33 is emitted outside, even if there are few 4th interlayer insulation films 33, a nitrogen (N) atom enters a front face, SiON is formed, and after that, moisture cannot enter easily, is and will be in a condition.

[0045] If it is going to nitride a plasma TEOS film by N atom using heat treatment which does not use the plasma, since the N dyad used is inactive, 1000 degrees C or more need to be heat-treated. Moreover, activity ammonia (NH₃) Even when using a molecule, 750 degrees C or more need to be heat-treated, and the problem which a lower layer aluminum wiring layer fuses arises. Effectively, plasma annealing is the most effective if it is going to nitride a plasma TEOS film.

[0046] Since the plasma annealing is performed at the temperature of 450 degrees C or less, it does not have an adverse effect on the aluminum wiring 32a, 32c-32e of the first layer formed from aluminum in the lower part. By the way, after forming a silicon oxide film in JP,10-83990,A (U.S. Pat. No. 6017784) using TEOS gas, it is N₂ or N₂O. Carrying out degasifying of the hydrogen in a silicon oxide film by plasma treatment is indicated. This plasma treatment is not performed to the ground silicon oxide film, and, moreover, is not performed to the silicon oxide film which has covered the ferroelectric capacitor.

[0047] On the other hand, it is N₂O in order to remove the moisture which is carrying out plasma annealing of the 4th interlayer insulation film 33, and invaded by the polishing down stream processing after grinding the front face of the 4th interlayer insulation film 33 which consists of SiO₂ formed using TEOS with the operation gestalt of this invention. About plasma annealing being effective, there is no publication in the above-mentioned reference. Moreover, with this operation gestalt, even if it passes through plasma annealing of the above-mentioned conditions, it is shown clearly that the property of a ferroelectric or the high dielectric capacitor Q is maintained good.

[0048] After finishing the above plasma annealing treatment, as shown in drawing 11, a TEOS film is formed on an interlayer insulation film 33 as a redeposition interlayer insulation film 34 at the thickness of 100nm or more, for example, the thickness of 200nm. The redeposition interlayer insulation film 34 is formed in a wrap sake in the

cavity which appears in the polished surface of the 4th interlayer insulation film 33 so that it may state below. The redeposition interlayer insulation film 34 acts as a cap layer, and is effective in preventing re-moisture absorption of an interlayer insulation film 33. About the optimal thickness of the redeposition interlayer insulation film 33, it mentions later.

[0049] In addition, it is N2O about the redeposition interlayer insulation film 34. Plasma annealing may be carried out. By the way, although the cavity (it is also called, SU and a void) called a keyhole and a slit may appear in the polished surface of the 4th interlayer insulation film 33 as described above, this is based on the following reasons. If the TEOS film will grow isotropic if a TEOS film is formed by the plasma-CVD method, and it becomes the thickness the thickness of whose is about 2.0 micrometers -- much more -- between [of a between / aluminum wiring of an eye (i.e., a memory cell field) / 1] bit line 32a, and the circumference circuit field 2 -- it much more becomes easy to generate a cavity between the aluminum wiring 32c-32e of an eye.

[0050] By the way, drawing 17 (a) Since bit line 32a is raised by Capacitor Q so that it may be shown, cavernous 33u generated among bit line 32a will be formed in a location higher than cavernous 33u generated in other fields. Therefore, after grinding the 4th interlayer insulation film 33 which consists of a TEOS film, it is drawing 17 (b). It becomes easy to expose cavernous 33u which exists in the memory cell field 1 from a polished surface so that it may be shown.

[0051] In addition, drawing 17 (a) The I-I cross section of drawing 8, and drawing 17 (b) It is the II-II line cross section of drawing 9, and the signs 32f and 32g in drawing show aluminum wiring of an eye further, respectively. Cavernous 33u exposed from the 4th interlayer insulation film 33 in the memory cell field 1 such If the metal membrane for wiring formation is soon formed on the 4th interlayer insulation film 33 after the cavernous 33u has been exposed since it expresses to a groove along between bit line 32a Also after the metal membrane will be embedded in cavernous 33u, carries out patterning of the metal membrane and forms wiring, it will remain without removing the metal membrane in cavernous 33u. Since the metal membrane in the cavernous 33u becomes data medium made to

short-circuit the wiring formed from the same metal membrane as this, it is necessary to make it not form a metal membrane beforehand in cavernous 33u.

[0052] With this operation gestalt, since he is trying to cover the polished surface of the 4th interlayer insulation film 33 with the redeposition interlayer insulation film 34 as shown in drawing 11 after grinding the 4th interlayer insulation film 33, a metal membrane will be formed in cavernous 33u exposed from the polished surface of the 4th interlayer insulation film 34. In addition, III-III of drawing 11 When a line cross section is shown, it is drawing 18 (a). It becomes like.

[0053] Drawing 19 (a) It is the cross section showing the 4th interlayer insulation film 33 in case there is no redeposition interlayer insulation film 34, and the structure under it, and is drawing 19 (b). It is the cross section showing the condition of having formed the redeposition interlayer insulation film 34 on the 4th interlayer insulation film 33. In addition, drawing 19 (a) and (b) are drawn based on the cross-section photograph of the memory cell field of FeRAM. After forming the above redeposition interlayer insulation films 34, as shown in drawing 12 - drawing 16, it moves to the process which forms aluminum wiring of a bilayer eye.

[0054] First, as shown in drawing 12, patterning of the redeposition interlayer insulation film 34 and the 4th interlayer insulation film 33 is carried out by the photolithography method, and beer hall 33a which reaches further 32d of aluminum wiring of an eye, for example, wiring of the circumference circuit field 2, is formed. After that, the front face of 32d of wiring under it is etched by the specified quantity, for example, a depth of 35nm, through beer hall 33a.

[0055] Then, as shown in drawing 13, sequential formation of Ti film of 20nm of thickness and the TiN film of 50nm of thickness is carried out by sputtering, and those films are set to GRU layer 35a on the inner surface of beer hall 33a, and the upper surface of the redeposition interlayer insulation film 34. In addition, drawing 18 (b) is the IV-IV **** Fig. of drawing 13. Then, 6 fluoride [tungsten] (WF6) gas and a silane (SiH4) Tungsten seed (un-illustrating) is formed on GRU layer 35a with a CVD method using gas. Furthermore, WF6 Tungsten film 35b is formed on GRU layer 35a, adding hydrogen (H2) gas to gas and silane (SiH4) gas, and using growth

temperature as 430 degrees C. Thereby, as shown in drawing 14, it fills up with GRU layer 35a and tungsten film 35b in beer hall 33a.

[0056] Then, the CMP method or etchback removes tungsten film 35b on the redeposition interlayer insulation film 34 upper surface, and it is made to remain only in beer hall 33a. Even if GRU layer 35a on the redeposition interlayer insulation film 34 removes at this time Drawing 15 shows the case where GRU layer 35a is removed from the redeposition interlayer insulation film 34 upper surface by the CMP method.

[0057] Thereby, the beer (plug) 35 for connecting 32d of wiring and the upper wiring electrically is formed in beer hall 33a. By the way, the width of face of cavernous 33u which appears from the polished surface of the 4th above-mentioned interlayer insulation film 33, does not serve as homogeneity by dispersion in polishing by the CMP method etc. If the exposure width of face of cavernous 33u varies, the following problems will occur.

[0058] Namely, drawing 20 (a) When the thin redeposition interlayer insulation film 34 is formed on cavernous 33u exposed from the 4th interlayer insulation film 33 so that it may be shown, it is drawing 20 (b). The part may be exposed, without covering cavernous 33u thoroughly with the redeposition interlayer insulation film 34 so that it may be shown. And it is drawing 20 (c) in such a condition. If the above-mentioned GRU layer 35a is formed so that it may be shown When there is a possibility that GRU layer 35a may raise a stage piece on cavernous 33u, and a slit may be formed and the slit exists, the hydrogen in the reactant gas used in case tungsten film 35b is formed is drawing 20 (d). So that it may be shown It keeps close in the 4th interlayer insulation film 33 under it through the slit. Since the hydrogen which invaded into the 4th interlayer insulation film 33 returns Capacitor Q and degrades a capacitor property, it is not desirable.

[0059] Then, it became clear from an experimental result that the redeposition interlayer insulation film 34 certainly needs thickness at least 300nm or more for a wrap sake about cavernous 33u exposed from the 4th interlayer insulation film 33. By the way, in order to prevent filling up with GRU layer 35a or tungsten film 35b in cavernous 33u, when the thickness of the redeposition interlayer insulation

film 34 investigated whether how many it was the need, a result like drawing 21 was obtained. The axis of ordinate of drawing 21 shows the frequency which the leak during wiring generates, and the horizontal axis shows the leak current value. According to the result of drawing 21, it turned out that wiring leak frequency decreases as the frequency of the leak of the thickness of the redeposition interlayer insulation film 34 during wiring in 50nm is large and increases the thickness, and the short circuit between wiring can be mostly prevented by 100nm. Therefore, in order to reduce the leak during wiring by exposure of cavernous 33u, it is desirable for there to be at least 100nm of thickness of the redeposition interlayer insulation film 34.

[0060] On the other hand, GRU layer 35a and tungsten film 35b are formed on the redeposition interlayer insulation film 34. Carry out patterning of this, form a plug 35, and aluminum wiring of the bilayer eye later mentioned on it is formed. Furthermore, after finishing a series of processes of a wrap for aluminum wiring of a bilayer eye by the insulator layer, when the thickness of the redeposition interlayer insulation film 34 and the relation of change of the amount of capacitor polarization charge by the accelerated test were investigated, the result as shown in the following table 1 was obtained. In addition, in atmospheric air, at the temperature of 200 degrees C, the accelerated test heated the substrate and was performed for 1 hour.

[0061]

[A table 1]

第 2 層間絶縁膜厚	分極電荷量 (Q _{sw})	
	プロセスアウト後	ベーク後
0 nm	24.2 $\mu\text{C}/\text{cm}^2$	11.4 $\mu\text{C}/\text{cm}^2$
100 nm	25.1 $\mu\text{C}/\text{cm}^2$	17.5 $\mu\text{C}/\text{cm}^2$
300 nm	25.3 $\mu\text{C}/\text{cm}^2$	22.6 $\mu\text{C}/\text{cm}^2$

According to the table 1, in the condition before an accelerated test, the amount of polarization charge is [the one where a redeposition interlayer insulation film is thicker] large slightly. However, as for after heating, the difference of the amount of polarization charge between samples becomes remarkable. When not forming the redeposition interlayer insulation film 34 especially when the redeposition interlayer insulation film 34 is 0nm namely, after the amount of polarization charge heating, it decreases to below one half, and, as for

the ferroelectric capacitor Q, a property deteriorates remarkably. Moreover, when the redeposition interlayer insulation film 34 is 300nm, deterioration of the ferroelectric capacitor Q is slight, and it becomes 22.6microC/cm2, and the amount of polarization charge after heating serves as sufficient value, in order to operate FeRAM normally.

[0062] In addition, the thickness of 300nm of the redeposition interlayer insulation film 34 is determined in consideration of dispersion in the portion which cavernous 33u exposes. By the way, if the redeposition interlayer insulation film 34 is too thick, the aspect ratio of beer hall 33a will increase, and the coverage of GRU layer 35a or tungsten film 35b will worsen within beer hall 33a. That is, the upper limit of the thickness of the redeposition interlayer insulation film 34 is determined from the aspect ratio of beer hall 33a. For example, when setting the aspect ratio of beer hall 33a to 2.3, about 0.4 micrometers (400nm) of thickness of 1.0 micrometers, then the redeposition interlayer insulation film 34 are [diameter / of beer hall 33a] needed in the thickness of 0.6 micrometers and the 4th interlayer insulation film 33.

[0063] After finishing the process which forms the redeposition interlayer insulation film 34 and beer 35 according to the above processes, it is the 1st TiN on the redeposition interlayer insulation film 34. They are 500nm and the 2nd TiN about 50nm and aluminum film in a film. Wiring 36 is formed by carrying out sequential formation of the film at the thickness of 50nm, and carrying out patterning of these films. In addition, it is the 1st TiN when leaving GRU layer 35a to the redeposition interlayer insulation film 34 upper surface. Membranous formation is omitted and they are an aluminum film and the 2nd TiN on GRU layer 35a. A film will be formed.

[0064] Next, the 1st and 2nd TiN(s) A film, aluminum film, or the 2nd TiN By carrying out patterning of the GRU layer to a film and aluminum film by the photolithography method, as shown in drawing 16 , the aluminum wiring 36 of a bilayer eye is formed on the redeposition interlayer insulation film 34. Then, SiO2 film is formed as 1st covering insulator layer 37 by the plasma-CVD method using TEOS at the thickness of 200nm on the aluminum wiring 36 of a bilayer eye, and the redeposition interlayer insulation film 34. Furthermore, it is SiN by the plasma-CVD method on the 1st covering insulator

layer 37. The 2nd becoming covering insulator layer film 38 is formed in the thickness of 500nm. The wiring 36 of a bilayer eye is covered with these 1st and 2nd covering films 37 and 38.

[0065] The superficial physical relationship of the various electric conduction patterns in the memory cell field 1 after the aluminum wiring 36 of a bilayer eye was formed becomes like drawing 22 . In addition, insulator layers other than isolation insulator layer 11 are omitted in drawing 22 . According to the above processes, the fundamental structure of FeRAM using the ferroelectric as a capacitor dielectric film 24 is completed.

[0066] In the gestalt of this operation, flattening of the upper surface of the 4th interlayer insulation film 33 of a wrap is further carried out for the aluminum wiring 32a, 32c-32e of an eye to Capacitor Q by the CMP method. Pattern precision of the aluminum wiring 36 of the bilayer eye evenly formed in the pan of Capacitor Q and the interlayer insulation film 33 formed on wiring 32a by this in a top can be made good.

[0067] Moreover, it is N2O after grinding an interlayer insulation film 33. Since plasma annealing was given and the moisture in an interlayer insulation film 33 is removed, even if heated in a subsequent process, reduction of a ferroelectric film (capacitor dielectric film 24) and deterioration are avoided. Thereby, FeRAM of a good property can be manufactured. And N2O Since plasma annealing is performed below 450 degrees C, aluminum wiring of an eye is not degraded further.

[0068] Such N2O When the amount of polarization charge of the capacitor Q the case where put in the plasma annealing process and FeRAM is formed, and at the time of skipping the process and forming FeRAM is investigated, a result as shown in the following table 2 is obtained, and it is N2O. The effective thing was confirmed in order that plasma annealing might prevent deterioration of a capacitor.

[0069]

[A table 2]

	分極電荷量 (Qsw)
N ₂ O プラズマアニール有り	21.3 μC/cm ²
N ₂ O プラズマアニール無し	15.4 μC/cm ²

In addition, at the gestalt of the above-mentioned operation, it is N2O. The gas used for dehydration

processing although the case where dehydration processing of the interlayer insulation film 33 was carried out by used plasma annealing was explained is N₂O. It is not limited and an effect with the same said of plasma annealing using [for example,] N₂ gas, O₂ gas, or NO gas is acquired. Moreover, the mixed gas of N₂O+N₂ and N₂+O₂ grade is sufficient as the gas used for plasma annealing. Furthermore, the inert gas of an argon (Ar), helium (helium), and neon (Ne) may be mixed and plasma-ized to such simple substance gas or mixed gas.

[0070] Furthermore, although the redeposition interlayer insulation film 34 was formed with the gestalt of the above-mentioned operation again after performing dehydration processing to an interlayer insulation film 33, the redeposition interlayer insulation film 34 may be formed on the interlayer insulation film 33 after CMP polishing, and dehydration processing may be performed after that. When forming the redeposition interlayer insulation film 34 thinly like the gestalt of the above-mentioned operation, there are very few moisture contents contained in the redeposition interlayer insulation film 34, but when forming the redeposition interlayer insulation film 34 thickly, there is a possibility that a capacitor dielectric film may be returned by the moisture contained in the redeposition interlayer insulation film 34. N₂O in order to prevent this, after forming the redeposition interlayer insulation film 34 Or dehydration processing by plasma annealing using NO may be carried out. When the redeposition interlayer insulation film 34 is formed by the silicon nitride (SiN) film by the acid silicon nitride (SiON) film or the plasma-CVD method a plasma-CVD method in this case, these films are those of a pile about moisture through, and it becomes impossible however, to fully remove the moisture in the 4th interlayer insulation film 33. For this reason, when giving plasma annealing after forming the redeposition interlayer insulation film 34, it is desirable to form the redeposition interlayer insulation film 34 with a plasma TEOS film, an O₃-TEOS film, or plasma SiO₂ film.

[0071] Namely, it replaces with the TEOS film (P-TEOS film) formed by the plasma-CVD method mentioned above as a redeposition interlayer insulation film 34. The TEOS (O₃-TEOS) film formed using ozone (O₃) and TEOS with the heat CVD method, SiO₂ (P-SiO₂) film formed by the plasma-CVD method, SiO₂ film formed by HDP

(High Density Plasma)-CVD of non bias, SiN formed by the SiON (P-SiON) film and plasma-CVD method which were formed by the plasma-CVD method A film (P-SiN) etc. may be used. However, since an O₃-TEOS film has many moisture contents compared with a P-TEOS film, the P-TEOS film is used for it with this operation gestalt. Moreover, a SiON film and SiN Since the permeability of moisture is low, a film needs to form the redeposition interlayer insulation film 34, after carrying out dehydration processing of the 4th interlayer insulation film 33, when using these films as a redeposition interlayer insulation film 34.

[0072] Drawing 23 is drawing taking the plasma annealing processing time over a P-TEOS film, taking the amount (Q_{sw}) of polarization charge along an axis of ordinate, and showing the dehydration processing-time dependency of the amount of polarization charge on a horizontal axis. However, for the conditions of plasma annealing, the power which temperature impresses to 350 degrees C and the plasma is 300W and N₂O. A flow rate is [the flow rate of 700sccm(s) and N₂ gas] 200sccm(s). It can be said that a polarization property is good, so that the value of the amount Q_{sw} of polarization charge is large.

[0073] Sufficient property can be acquired by making the processing time of plasma annealing into 3 minutes or more so that drawing 23 may show. the amount of polarization charge in the initial state of a ferroelectric film -- about 28microC/cm² it is -- plasma annealing for about 4 minutes can be made to recover to the amount of polarization charge of an initial state Although SiO₂ film (p-TEOS) formed by the plasma-CVD method for using TEOS gas as the 4th interlayer insulation film 33 was used with the above-mentioned operation gestalt, you may form by the TEOS (O₃-TEOS) film formed using O₃ and TEOS with the heat CVD method, SiO₂ (P-SiO₂) film formed by the plasma-CVD method. Although an O₃-TEOS film has a growth rate slower than a P-TEOS film, a cavity is not produced in the film.

[0074] Moreover, with the above-mentioned operation gestalt, although FeRAM and its formation process were explained, the interface of a high dielectric materials film and an electrode becomes easy for the insulation of high dielectric materials to deteriorate with moisture and heating, or to deteriorate also about the volatile memory (DRAM) which has a high dielectric

capacitor. Then, after carrying out flattening of the upper surface of the insulator layer formed on a high dielectric capacitor to having described above by the CMP method similarly Dehydration processing of the insulator layer may be carried out, or on the field by which flattening was carried out after such dehydration processing or before dehydration processing using gas, such as N₂O and NO, in the front face, P-TEOS may be used and a redeposition interlayer insulation film may be formed. What is necessary is just to use high dielectric materials, such as TiO (BaSr)₃, as high dielectric materials.

[0075] Moreover, this invention is also applicable to the so-called manufacture of the system LSI consolidated with ferroelectric non-volatile semiconductor memory or high dielectric semiconductor memory, and a logic device.

[0076]

[Effect of the Invention] Since according to this invention the insulator layer formed upwards is ground to the pan of a capacitor and wiring passing through a it top and it was made to carry out flattening to it as stated above, it becomes easy to form wiring with a sufficient precision on the flat side of the insulator layer. Moreover, it is N₂O to the ground insulator layer. Or since it was made to perform dehydration processing by plasma annealing containing NO, the moisture adhering to the front face of the insulator layer and the moisture which has invaded into an insulator layer can be removed more certainly, and reduction of the ferroelectric material which constitutes a capacitor, or high dielectric materials, and capacitor deterioration can be prevented. Therefore, deterioration of the dielectric characteristics of a ferroelectric material or high dielectric materials can be avoided, and FeRAM or DRAM of a good property can be manufactured.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is the cross section (the 1) showing the manufacture method of the semiconductor device of the gestalt implementation invention.

[Drawing 2] Drawing 2 is the cross section (the 2) showing the manufacture method of the semiconductor device of the gestalt operation of this invention.

[Drawing 3] Drawing 3 is the cross section (the 3) showing the manufacture method of the semiconductor device of the gestalt operation of this invention.

[Drawing 4] Drawing 4 is the cross section (the 4) showing the manufacture method of the semiconductor device of the gestalt operation of this invention.

[Drawing 5] Drawing 5 is the cross section (the 5) showing the manufacture method of the semiconductor device of the gestalt operation of this invention.

[Drawing 6] Drawing 6 is the cross section (the 6) showing the manufacture method of the semiconductor device of the gestalt operation of this invention.

[Drawing 7] Drawing 7 is the cross section (the 7) showing the manufacture method of the semiconductor device of the gestalt operation of this invention.

[Drawing 8] Drawing 8 is the cross section (the 8) showing the manufacture method of the semiconductor device of the gestalt operation of this invention.

[Drawing 9] Drawing 9 is the cross section (the 9) showing the manufacture method of the semiconductor device of the gestalt operation of this invention.

[Drawing 10] Drawing 10 is the cross section (the 10) showing the manufacture method of the semiconductor device of the gestalt operation of this invention.

[Drawing 11] Drawing 11 is the cross section (the 11) showing the manufacture method of the semiconductor device of the gestalt operation of this invention.

[Drawing 12] Drawing 12 is the cross section (the 12) showing the manufacture method of the semiconductor device of the gestalt operation of this invention.

[Drawing 13] Drawing 13 is the cross section (the 13) showing the manufacture method of the semiconductor device of the gestalt operation of this invention.

[Drawing 14] Drawing 14 is the cross section (the 14) showing the manufacture method of the semiconductor device of the gestalt operation of this invention.

[Drawing 15] Drawing 15 is the cross section (the 15) showing the manufacture method of the semiconductor device of the gestalt operation of this invention.

[Drawing 16] Drawing 16 is the cross section (the

16) showing the manufacture method of the semiconductor device of the gestalt operation of this invention.

[Drawing 17] Drawing 17 (a) The I-I line cross section of drawing 8 , and drawing 17 (b) It is the II-II line cross section of drawing 9 .

[Drawing 18] Drawing 18 (a) III-III of drawing 11 A line cross section and drawing 18 (b) It is the IV-IV line cross section of drawing 13 .

[Drawing 19] Drawing 19 (a) Drawing 17 (b) It is the cross section drawn based on the photograph which photoed the cross section, and is drawing 19 (b). Drawing 18 (a) It is the cross section drawn based on the photograph which photoed the cross section.

[Drawing 20] Drawing 20 (a) - (d) Drawing 17 (b) The shown cavity is the cross section showing the process which is not enough embedded by the insulator layer.

[Drawing 21] Drawing 21 is drawing showing the leakage current of a capacitor and the relation of accumulation probability which are used for the memory cell of the semiconductor device concerning the operation gestalt of this invention, and the horizontal axis on which the axis of ordinate which shows accumulation probability, and the amount of leakage current are shown is shown by logarithmic scale.

[Drawing 22] Drawing 22 is the plan showing arrangement of the electric conduction pattern of the memory cell field of the semiconductor device concerning the operation gestalt of this invention.

[Drawing 23] Drawing 23 is drawing showing the dehydration processing-time dependency of the amount of polarization charge of the capacitor formed in the semiconductor device concerning the operation gestalt of this invention.

[Description of Notations]

10 -- A semiconductor substrate, 11 -- An isolation insulator layer, 12a, 12b -- Well field, 13a, 13b, 13c -- A gate electrode, 15a, 15b -- Impurity diffusion field, 16 -- A sidewall, 17, 26, 31, 33 -- An interlayer insulation film, 18 -- Plug, 21 [-- Dielectric film,] -- A SiON film, 22 -- SiO₂ film, 23 -- A lower electrode, 24 25 [-- Wiring, 34 / -- A redeposition interlayer insulation film, 35a / -- The GRU layer, 35b / -- A tungsten film, 35 / -- A plug, 36 / -- 37 Aluminum wiring, 38 / -- Covering film.] -- An up electrode, 27 -- Partial wiring, 32a -- A bit line, 32b-32g

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-60669

(P2001-60669A)

(43) 公開日 平成13年3月6日 (2001.3.6)

(51) Int.Cl. ⁷	- 識別記号	F I	テームト (参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1
	4 8 1		4 8 1
21/316		21/316	M
21/768		21/90	A
27/108			M

審査請求 有 請求項の数19 O L (全 17 頁) 最終頁に続く

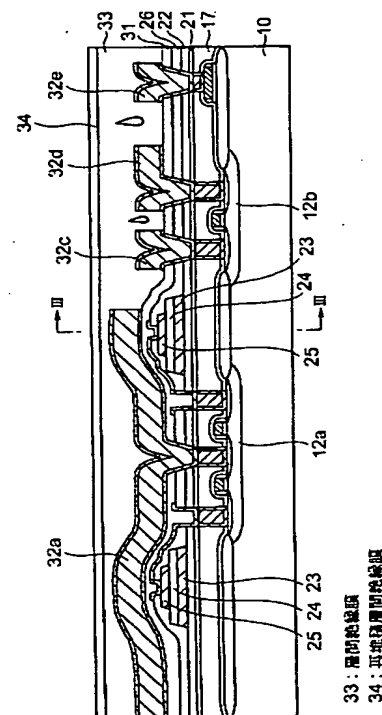
(21) 出願番号	特願2000-170333 (P2000-170333)	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成12年6月7日 (2000.6.7)	(72) 発明者	伊藤 昭男 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(31) 優先権主張番号	特願平11-170667	(74) 代理人	100091672 弁理士 岡本 啓三
(32) 優先日	平成11年6月17日 (1999.6.17)		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 強誘電体材料又は高誘電体材料を用いた半導体装置の製造にCMP研磨工程を使用しても強誘電体材料又は高誘電体材料の還元を回避でき、F e R A M及びD R A M又はこれらのメモリ素子とロジック素子とを混載したシステムL S Iの製造に適用できる半導体装置の製造方法を提供する。

【解決手段】 上部電極25、強誘電体材料又は高誘電体材料からなる誘電体膜24及び下部電極23からなるキャパシタを形成し、さらに、キャパシタの上方に層間絶縁膜33を形成し、その層間絶縁膜33をCMP研磨して表面を平坦化し、次いで、N₂Oガスをを用いたプラズマアニールを施し、層間絶縁膜33の表面に付着した水分、及び層間絶縁膜33中の水分を除去し、その後、層間絶縁膜33の上に、再堆積層間絶縁膜34を形成する。



【特許請求の範囲】

【請求項1】半導体基板に形成された第1の不純物領域及び第2の不純物領域と該半導体基板上に形成されたゲート電極とを有するトランジスタと、
前記トランジスタを覆う第1の絶縁膜と、
前記第1の絶縁膜の上に形成され、強誘電体材料と高誘電体材料のいずれかよりなる誘電体膜とこれを挟む上部電極及び下部電極とを有するキャパシタと、
前記キャパシタの上に形成され、且つ平坦化された表面を有し、少なくとも該表面に窒素を含むシリコン酸化膜とを有することを特徴とする半導体装置。

【請求項2】前記シリコン酸化膜の内部には、空洞が形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記キャパシタと前記シリコン酸化膜の間には、前記キャパシタ上に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成された配線とを有することを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項4】前記シリコン酸化膜の上には、第2の絶縁膜が形成されていることを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項5】半導体基板に形成された第1の不純物領域及び第2の不純物領域と該半導体基板上に形成されたゲート電極とを有するトランジスタと、
前記トランジスタを覆う第1の絶縁膜と、
前記第1の絶縁膜の上に形成され、強誘電体材料と高誘電体材料のいずれかよりなる誘電体膜とこれを挟む上部電極及び下部電極とを有するキャパシタと、
前記キャパシタの上に形成された第2の絶縁膜と、
前記第2の絶縁膜の上に形成され、前記キャパシタの前記上部電極と前記第1の不純物領域とを接続する局所配線と、
前記局所配線と前記第2の絶縁膜の上に形成された第3の絶縁膜と、
前記第3の絶縁膜の上に形成され、且つ前記第1、第2及び第3の絶縁膜に形成されたホールを通して前記第2の不純物領域に接続される第1の配線と、
前記第1の配線の上に形成され、且つ平坦化された上面を有する第4の絶縁膜と、
前記第4の絶縁膜上に形成された第2の配線とを有することを特徴とする半導体装置。

【請求項6】前記第4の絶縁膜の内部には、前記第4の絶縁膜の前記上面から一部が露出する空洞が形成されていることを特徴とする請求項5に記載の半導体装置。

【請求項7】前記空洞は、複数の前記キャパシタの間の領域に存在することを特徴とする請求項6に記載の半導体装置。

【請求項8】前記第4の絶縁膜の上には、前記第4の絶縁膜の前記上面から露出する前記空洞を覆う第5の絶縁膜が形成されていることを特徴とする請求項6に記載の

半導体装置。

【請求項9】前記第2の配線は、前記第4の絶縁膜に形成されたホールを通して前記第1の配線に接続されていることを特徴とする請求項5又は請求項6に記載の半導体装置。

【請求項10】前記第3及び第4の絶縁膜は、シリコン酸化膜であることを特徴とする請求項5又は請求項6に記載の半導体装置。

【請求項11】前記第1の絶縁膜の上面は、平坦化された面であることを特徴とする請求項5又は請求項6に記載の半導体装置。

【請求項12】半導体基板に形成された第1の不純物領域及び第2の不純物領域と該半導体基板上に形成されたゲート電極とを有するトランジスタと、
前記トランジスタを覆う第1の絶縁膜と、
前記第1の絶縁膜の上に形成され、強誘電体材料と高誘電体材料のいずれかよりなる誘電体膜とこれを挟む上部電極及び下部電極とを有するキャパシタと、
前記キャパシタの上に形成された第2の絶縁膜とを有し、
前記第2の絶縁膜の表面は、平坦化されているとともに、プラズマ処理されていることを特徴とする半導体装置。

【請求項13】半導体基板にトランジスタを形成する工程と、
前記トランジスタを覆う第1の絶縁膜を、前記半導体基板の上に形成する工程と、
強誘電体材料と高誘電体材料のいずれかよりなる誘電体膜と該誘電体膜を挟む上部電極と下部電極とを有するキャパシタを前記第1の絶縁膜の上に形成する工程と、
前記キャパシタの上方に第2の絶縁膜を形成する工程と、
前記第2の絶縁膜を研磨してその上面を平坦化する工程と、
プラズマアニールによって前記第2の絶縁膜の脱水処理を施す工程とを有することを特徴とする半導体装置の製造方法。

【請求項14】前記プラズマアニールは、 N_2O 、 N_2 、 N 、 O_2 のいずれかの単体又はこれらの混合ガスをプラズマ化して行われることを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項15】前記第2の絶縁膜は、TEOSガスを用いるプラズマCVD法により形成されることを特徴とする請求項13又は請求項14に記載の半導体装置の製造方法。

【請求項16】前記第2の絶縁膜には空洞が形成されることを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項17】前記空洞の上部は、前記第2の絶縁膜を研磨することによって露出することを特徴とする請求項

16に記載の半導体装置の製造方法。

【請求項18】前記脱水処理工程の後に、前記第2の絶縁膜の上に第3の絶縁膜を形成する工程を有することを特徴とする請求項13又は請求項14に記載の半導体装置の製造方法。

【請求項19】前記キャパシタと前記第2の絶縁膜の間に、前記キャパシタを覆う第4の絶縁膜を形成する工程と、

前記第2の絶縁膜と前記第4の絶縁膜の間に下側配線を形成する工程とを有することを特徴とする請求項13又は請求項14に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、より詳しくは、キャパシタの誘電体膜に強誘電体材料を用いた不揮発性半導体メモリ(FeRAM:Ferroelectric Random Access Memory)、又はキャパシタの誘電体膜に高誘電体材料を用いた揮発性半導体メモリ(DRAM:Dynamic Random Access Memory)、又はこれらのメモリ素子とロジック素子とを混載したシステムLSIに代表される半導体装置とその製造方法に関する。

【0002】

【従来の技術】近年、低消費電力の不揮発性半導体メモリとしてキャパシタの誘電体膜に強誘電体材料を用いたFeRAMが注目されている。また、近年、半導体メモリの微細化及び高集積化が要求されており、その要求にこたえるべくキャパシタの誘電体膜に高誘電体材料を用いたDRAMが開発されている。

【0003】これらのFeRAMの強誘電体材料、DRAMの高誘電体材料として、それぞれ金属酸化物が通常使用されている。そのような強誘電体材料、高誘電体材料は還元性雰囲気になく、特に強誘電体材料では分極特性が劣化しやすいという性質がある。強誘電体材料の分極特性の劣化を防止する方法として、特開平9-307074号公報には、キャパシタの上にスパッタ酸化シリコン又はSOG(Spin-On-Glass)のいずれかの下層絶縁膜を形成した後に、下層絶縁膜の上にオゾンとTEOS(tetraethoxysilane; $\text{Si}(\text{OC}_2\text{H}_5)_4$)から酸化シリコンの上層絶縁膜を形成することにより、キャパシタの誘電体膜の還元を防止することが記載されている。また、特開平10-275897号公報には、メタルCVD(Chemical Vapor Deposition)装置やMO(Metal Organic)CVD装置を用いた還元性雰囲気中で配線用導電膜を形成するのではなく、配線用導電膜をDCスパッタにより形成することにより、配線用導電膜の下方のキャパシタの分極特性の劣化を防止することが記載されている。この公報には、TEOSを使用してプラズマCVD法によってキャパシタの上に SiO_2 膜を形成し、この SiO_2 膜に形成したホールを通してキャパシタの上部電極に配線を接続

することが記載されている。

【0004】また、特開平11-238855号公報には、キャパシタを覆う薄い絶縁膜に形成されたホールを通してキャパシタ上部電極に薄い導電パターン(配線)を接続し、さらにその導電パターンを覆う絶縁膜の上に厚いアルミニウム配線パターンを形成し、そのアルミニウム配線パターンをさらに絶縁膜で覆う構造が記載されている。

【0005】

【発明が解決しようとする課題】しかし、特開平11-238855号公報では、ビット線として使用されるアルミニウム配線パターンの膜厚が厚いので、その上に形成される層間絶縁膜の表面の凹凸の段差が大きくなる。そして、アルミニウム配線パターンを覆う層間絶縁膜の凹凸が大きくなると、その層間絶縁膜上に上部配線を形成するためのフォトリソグラフィ工程では、露光の際の焦点がデフォーカスになり易く、上部配線のパターン精度が低下するといった問題が生じる。特に、プラズマCVD法により層間絶縁膜を形成する場合には、層間絶縁膜の表面の凹凸の段差が大きくなりやすい。

【0006】これに対して、表面の凹凸の段差が小さなHDP(High Density Plasma)膜を形成することも考えられるが、そのHDP膜を形成する際には水素が絶縁膜に入ってキャパシタの酸化物誘電体膜を還元するおそれがある。本発明の目的は、強誘電体材料又は高誘電体材料を用いたキャパシタとビット線のさらに上方に形成される配線を精度良く形成するとともに、キャパシタの劣化を防止するための半導体装置及びその製造方法を提供することにある。

【0007】

【課題を解決するための手段】上記した課題は、半導体基板に形成されたトランジスタと、トランジスタを覆う第1の絶縁膜の上に形成されたキャパシタと、キャパシタの上に第2の絶縁膜を介して形成された局所配線と、局所配線を覆う第3の絶縁膜の上に形成された第1の配線と、第1の配線の上に形成され且つ平坦化された上面を有する第4の絶縁膜と、第4の絶縁膜の上に形成された第2の配線とを有する半導体装置によって解決される。

【0008】本発明によれば、強誘電体材料又は高誘電体材料を用いたキャパシタとその上に絶縁膜を介して形成された第1の配線と、第1の配線の上に形成されて上面が平坦化された絶縁膜と、絶縁膜の上に形成された第2の配線とを有している。これにより、強誘電体膜又は高誘電体膜を有するキャパシタの上方に形成される第2の配線のパターンは精度良く形成される。

【0009】また、上記した課題は、半導体基板の上方に、強誘電体材料又は高誘電体材料からなる誘電体膜を備えたキャパシタを形成し、このキャパシタの上方に第1の絶縁膜を形成し、さらに第1の絶縁膜を研磨してそ

の上面を平坦化し、その後に第1の絶縁膜に対してプラズマアニールによる脱水処理を施すことを特徴とする半導体装置の製造方法により解決する。

【0010】本発明によれば、誘電体膜として強誘電体材料又は高誘電体材料を用いたキャパシタを形成した後、その上方に第1の絶縁膜を形成し、この第1の絶縁膜を例えばCMP法により平坦化する工程を有している。研磨工程では、研磨剤中の水分や洗浄液中の水分が第1の絶縁膜の表面に付着するだけでなく、第1の絶縁膜中にも水分が侵入する。第1の絶縁膜表面に付着した水分と、第1の絶縁膜中に侵入した水分とを除去するために、本発明においては、例えば N_2O ガス又は NO ガスのプラズマ雰囲気中でのアニールによって第1の絶縁膜の研磨面から脱水処理を施している。

【0011】ところで、脱水のための熱処理として電気炉を用いる場合には、第1の絶縁膜の下層に金属配線層があるため、電気炉内のアニールは例えばアルミニウムの耐熱温度 $450^{\circ}C$ 以下に限定される。このような低温の単なる熱処理では脱水処理の効果が不十分である。これに対して、本発明のように、プラズマアニールを用いると、 $450^{\circ}C$ 以下の低温でより確実に絶縁膜から水分を除去することが可能であり、かつ、このような低温では金属配線層が酸化してしまうという問題も発生しない。

【0012】従って、そのようなプラズマアニールでは、単なる熱処理に比べて第1の絶縁膜の中の水分をより確実に除去することができる。これにより、第1の絶縁膜の表面又はその中の水分に起因する強誘電体膜又は高誘電体膜の還元やキャパシタの劣化が防止され、良好なFeRAM又はDRAMを製造することができる。 N_2O ガス又は NO ガスのプラズマアニールによれば、第1の絶縁膜がシリコン酸化膜から形成されている場合に、少なくともその表面には窒素が含まれることになる。

【0013】CMP法で平坦化が行われた第1の絶縁膜の中に空洞（ス、ボイド又はキーホール）が形成されている場合には、その空洞が研磨面から溝状に露出してしまふことがある。そして、その研磨面上に配線層を形成した場合には、配線層を構成する導電材料が空洞内に入って、空洞を横切る複数の配線同士を短絡するおそれがある。このため、第1の絶縁膜の研磨面上に第2の絶縁膜を形成して、第1の絶縁膜の研磨面に溝状に露出した空洞を第2の絶縁膜で覆ったり、埋めたりすることが好ましい。

【0014】上記の効果を確実に得るためには、第2の絶縁膜の厚さを 100nm 以上とすることが好ましい。また、研磨面から露出する空洞の幅がばらついて、その空洞の一部が第2の絶縁膜によって覆われない部分が発生すると、第2の絶縁膜の上に形成される金属膜には空洞の上でスリットが形成されるおそれがある。金属膜にスリットが存在すると、そのスリットを通して第1の絶

縁膜内に水素が入ってキャパシタを劣化するおそれがある。そこで、金属膜にスリットが形成されることを防止するためには、第2の絶縁膜の膜厚を少なくとも 300nm にすることが好ましい。

【0015】なお、第1の絶縁膜の上に第2の絶縁膜を形成し、その後に上記のプラズマアニールを施してもよい。この場合、第1及び第2の絶縁膜の絶縁特性の劣化を回避できるとともに、第1の絶縁膜及び第2の絶縁膜中の水分を同時に除去することができる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態について、添付の図面を参照して説明する。図1～図16は本発明の一実施形態の半導体装置の製造方法を工程順に示す断面図である。なお、本実施形態の半導体装置としてFeRAMを例に挙げて説明する。

【0017】まず、図1に示す断面構造を得るまでの工程を説明する。図1に示すように、p型シリコン（半導体）基板10表面に、LOCOS（Local Oxidation of Silicon）法により素子分離絶縁膜11を選択的に形成する。素子分離絶縁膜11の形成はLOCOS法その他、STI（Shallow Trench Isolation）を採用してもよい。

【0018】そのような素子分離絶縁膜11を形成した後に、シリコン基板10のメモリセル領域1、周辺回路領域2における所定の活性領域（トランジスタ形成領域）にp型不純物及びn型不純物を選択的に導入して、pウェル12a及びnウェル12bを形成する。なお、図1には示していないが、周辺回路領域2ではCMOSを形成するためにpウェル（不図示）も形成される。

【0019】その後、シリコン基板10の活性領域表面を熱酸化して、ゲート絶縁膜10aとしてシリコン酸化膜を形成する。次に、シリコン基板10の上側全面にアモルファスシリコン膜及びタングステンシリサイド膜を順次形成し、これらのアモルファスシリコン膜及びタングステンシリサイド膜をフォトリソグラフィ法により所定の形状にパターンニングして、ゲート電極13a～13c及び配線14を形成する。なお、ゲート電極13a～13cを構成するアモルファスシリコン膜の代わりにポリシリコン膜を形成してもよい。

【0020】メモリセル領域1では、1つのpウェル12a上には2つのゲート電極13a、13bがほぼ平行に配置され、それらのゲート電極13a、13bはワード線WLの一部を構成する。次に、メモリセル領域1において、ゲート電極13a、13bの両側のpウェル12a内にn型不純物をイオン注入して、nチャネルMOSトランジスタのソース・ドレインとなるn型不純物拡散領域15aを形成する。これと同時に、周辺回路領域2のpウェル（不図示）にもn型不純物拡散領域を形成してもよい。続いて、周辺回路領域2において、ゲート電極13cの両側のnウェル12bにp型不純物をイオン注入して、pチャネルMOSトランジスタのソース・

ドレインとなるp型不純物拡散領域15bを形成する。
n型不純物とp型不純物の打ち分けは、レジストパターンを使用して行われる。

【0021】その後、シリコン基板10の全面に絶縁膜を形成した後、その絶縁膜をエッチバックしてゲート電極13a~13c及び配線14の両側部分にのみ側壁絶縁膜16として残す。その絶縁膜として、例えばCVD法により酸化シリコン(SiO_2)を形成する。次に、プラズマCVD法によりシリコン基板10の全面に、カバー膜3として酸化窒化シリコン(SiON)膜を約200nmの厚さに形成する。その後、TEOSガスを用いるプラズマCVD法により、カバー膜3の上に酸化シリコン(SiO_2)を約1.0 μm の厚さに成長させ、これにより第1の層間絶縁膜17を形成する。なお、TEOSを用いてプラズマCVD法により形成される SiO_2 膜を、以下にTEOS膜ともいう。

【0022】続いて、第1の層間絶縁膜17の緻密化処理として、常圧の窒素雰囲気中で第1の層間絶縁膜17を700℃の温度で30分間熱処理する。その後、第1の層間絶縁膜17を化学的機械研磨(Che-
20 Mechanical Polishing : 以下、CMPという)法により研磨して第1の層間絶縁膜17上面を平坦化する。次に、図2に示す構造を形成するまでの工程を説明する。

【0023】まず、フォトリソグラフィ法により、不純物拡散領域15a、15bに到達する深さのコンタクトホール17a~17dと、配線14に到達する深さのビアホール17eをそれぞれ第1の層間絶縁膜17に形成する。その後、第1の層間絶縁膜17上面とホール17a~17e内面に膜厚20nmのTi(チタン)薄膜と膜厚50nmのTiN(チタンナイトライド)薄膜をスパッタ法により順に形成する。さらに、CVD法によりタン
30 グステン(W)をTiN薄膜上に成長する。この結果、コンタクトホール17a~17d、ビアホール17e内にタングステン膜が埋め込まれる。

【0024】その後、第1の層間絶縁膜17上面が露出するまでタングステン膜、TiN薄膜及びTi薄膜をCMP法により研磨する。この研磨後にホール17a~17e内に残存するタングステン膜等は、不純物拡散領域15a、15bと配線14に後述の配線を電気的接続するためのプラグ18a~18eとして使用される。メモ
40 リセル領域1の1つのpウェル12aにおいて2つのゲート電極13a、13bに挟まれるn型不純物拡散領域15a上の第1のプラグ18aは後述するビット線に接続され、さらに、残り2つの第2のプラグ18bは後述するキャパシタに接続される。

【0025】なお、コンタクトホール17a~17d、ビアホール17eを形成した後に、コンタクト補償のために不純物拡散領域15a、15bに不純物をイオン注入してもよい。次に、図3に示すように、プラグ18a~18eの酸化を防止するために、シラン(SiH_4)を用
50

いるプラズマCVD法により、第1の層間絶縁膜17上とプラグ18a~18e上に SiON (絶縁膜)膜21を100nmの厚さに形成し、さらに、反応ガスとしてTEOSと酸素を用いるプラズマCVD法により SiO_2 膜22を150nmの厚さに形成する。なお、 SiON 膜21は、第1の層間絶縁膜17への水の侵入を防止するために形成される。

【0026】その後、 SiON 膜21、 SiO_2 膜22の緻密化のために、それらの膜を常圧の窒素雰囲気中で温度650℃で30分間熱処理する。なお、TEOSガスを用いてプラズマCVD法により形成された第1の層間絶縁膜17と SiO_2 膜22はそれぞれ650~700℃の温度で加熱されるが、その下にはアルミニウムのような融点の低い金属膜が存在しないので、その程度の温度の加熱による悪影響は発生しない。

【0027】次に、図4に示すように、DC(Direct Current)スパッタ法により SiO_2 膜22上に、Ti及びPt(白金)を順次堆積させて二層構造の第1の導電膜23aを形成する。この場合、Ti膜の厚さを10~30nm程度、Pt膜の厚さを100~300nm程度とする。例えば、Ti膜の厚さを20nm、Pt膜の厚さを175nmとする。なお、第1の導電膜23aとして、イリジウム、ルテニウム、酸化ルテニウム、酸化イリジウム、酸化ルテニウムストロンチウム(SrRuO_3)等の膜を形成してもよい。

【0028】続いて、RF(Radio Frequency)スパッタ法により、第1の導電膜23aの上に強誘電体材料であるチタン酸ジルコン酸鉛(PZT; $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$)を100~300nmの厚さに堆積させてPZT膜24aを形成する。例えば、PZT膜24aの厚さを240nmとする。そして、PZT膜24aの結晶化処理として、酸素雰囲気中で温度650~850℃、30~120秒間の条件でRTA(Rapid Thermal Annealing)を行う。例えば、温度750℃で60秒間アニールする。

【0029】強誘電体材料膜の形成方法としては、上記したスパッタ法の他にスピノン法、ゾルゲル法、MOD(Metal Organic Deposition)法、MOCVD法がある。また、強誘電体材料としてはPZTの他に、ジルコン酸チタン酸ランタン鉛(PLZT)、 $\text{SrBi}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_9$ (但し、 $0 < x < 1$)、 $\text{Bi}_4\text{Ti}_2\text{O}_{12}$ などがある。更に、DRAMを形成する場合には、上記の強誘電体材料に代えて(BaSr) TiO_3 (BST)、チタン酸ストロンチウム(STO)等の高誘電体材料を使用すればよい。

【0030】そのようなPZT膜24aを形成した後に、その上に第2の導電膜25aとしてPt膜をDCスパッタ法により100~300nmの厚さに形成する。例えば、第2の導電膜25aの厚さを200nmとする。なお、第2の導電膜25aとして、酸化イリジウム(IrO_2)膜もしくは酸化ルテニウムストロンチウム(SRO)

をスパッタ法により形成してもよい。

【0031】次に、第2の導電膜25a、PZT膜24a及び第1の導電膜23aをフォトリソグラフィ法により順次パターニングすることにより、それらの膜から図5に示すような所定形状のキャパシタを形成する。ここで、第2の導電膜25aは上部電極25となり、PZT膜24aは誘電体膜24となり、第1の導電膜23aは下部電極23となる。そして、上部電極25、誘電体膜24及び下部電極23によりキャパシタQが構成される。キャパシタQは、1つのpウェル12a内に形成されたMOSトランジスタと同じ数だけpウェル12aの周囲に形成される。

【0032】ところで、第2の導電膜25aをパターニングして上部電極25を形成した後は、キャパシタQのダメージ除去のために回復アニールを施す。具体的には、酸素雰囲気中にシリコン基板10を置いて、キャパシタQを500～700℃の温度で30～120分間加熱する。例えば、温度650℃で60分間加熱する回復アニールを実施するものとする。また、第1の導電膜23aをパターニングして下部電極23を形成した後に

も同じ条件で回復アニールを実施する。

【0033】以上のような工程を経てキャパシタQを形成した後に、図6に示すように、全面にTEOS膜及びSOG膜からなる2層構造の第2の層間絶縁膜26を形成し、この第2の層間絶縁膜26によりキャパシタQを覆う。そのTEOS膜は、TEOSガスを用いるプラズマCVD法により、成長温度が390℃、パワーが400Wの条件でシリコン基板10の上側全面に100～300nmの厚さで形成される。また、SOG膜は、TEOS膜上にSOG溶液を80～200nmの厚さに塗布した後に、これを加熱することにより形成される。この例では、TEOS膜の厚さが200nm、SOG(Spin-On-Glass)膜の厚さが100nmであるとする。ここで、SOG膜は塗布性絶縁膜であるので、その表面の凹凸差は小さくなる。

【0034】なお、SOG膜はエッチバックで除去してもよい。この場合には、TEOS膜の膜厚を500nm、SOG膜の膜厚を100nmとする。そして、フォトリソグラフィ法により第2の層間絶縁膜26をパターニングして、キャパシタQの上部電極25の上にコンタクトホール26aを形成する。その後、誘電体膜24に対して回復アニールを実施する。具体的には、酸素雰囲気中で500～650℃の温度で30～120分間加熱する。この例では、550℃の温度で60分間加熱するものとする。

【0035】次に、第2の層間絶縁膜26、SiON膜21、SiO₂膜22をフォトリソグラフィ法によりパターニングして、メモリセル領域1の第2のプラグ18bの上にコンタクトホール26bを形成して第2のプラグ18bを露出させる。そして、第2の層間絶縁膜26上とコ

ンタクトホール26a、26b内に、膜厚100nmのTiN膜をスパッタ法により形成する。続いて、そのTiN膜をフォトリソグラフィ法でパターニングすることにより、メモリセル領域1においてコンタクトホール26a、26bを通してpウェル12a上の第2のプラグ18bとキャパシタ上部電極25とを電氣的接続するための局所配線(ローカル配線)27を形成する。

【0036】次に、図7に示すような構造を形成するまでの工程を説明する。まず、局所配線27と第2の層間絶縁膜26の上に、プラズマCVD法によりTEOS膜を200～400nm、例えば300nmの厚さに形成する。このTEOS膜は第3の層間絶縁膜31として使用される。なお、その上の第3の絶縁膜31の上面の凹凸差は、その下の第2の層間絶縁膜26の上面の凹凸差を反映し、研磨を必要とするほどの大きさではない。

【0037】続いて、メモリセル領域1における第3の層間絶縁膜31からその下方のSiON膜21までをフォトリソグラフィ法によりパターニングすることにより、pウェル12aの中央位置の第1のプラグ18aの上にコンタクトホール31aを形成するとともに、周辺回路領域2の各プラグ18c～18e上にもコンタクトホール31c～31eを形成する。

【0038】さらに、第3の層間絶縁膜31の上とコンタクトホール31c～31eの中にTi膜、TiN膜、Al(アルミニウム)膜及びTiN膜の4層を順次積層し、これらの金属膜をパターニングすることにより、メモリセル領域1でビット線32aを形成するとともに、周辺回路領域2では配線32c～32eを形成する。これらのビット線32a、配線32c～32eは、一層目のアルミニウム配線となる。

【0039】なお、メモリセル領域1のビット線32aは第1のプラグ18aに接続され、また、周辺回路領域2の配線32c～32eは各プラグ18c～18eに接続される。ビット線32a、配線32c～32eを構成する各金属膜の膜厚として例えば最下層のTi膜を20nmの厚さ、下側のTiN膜を50nmの厚さ、Al膜を500nmの厚さ、上側のTiN膜を100nmの厚さとする。

【0040】次に、図8に示すように、TEOSガスと酸素(O₂)ガスを使用するプラズマCVD法により、2.0μmの厚さのSiO₂からなる第4の層間絶縁膜33を第3の層間絶縁膜31、ビット線32a及び配線32c～32eの上に形成する。そのプラズマCVDに使用する装置は、シリコン基板10を載せる第1電極とこれに対向する第2の電極が配置されるチャンバを有するとともに、第2の電極に高周波電力を印加し、第1の電極を定電圧とする単周波印加構造を有している。このときの成膜条件は、成長温度を400℃以下、例えば390℃とし、圧力を1.2Paとする。また、高周波電力の周波数を13.56MHz、そのパワーを400Wとする。な

お、TEOSガスに対する酸素の流量比を例えば1程度とする。これらの条件によれば、成膜中にキャパシタQを構成する強誘電体材料を殆ど劣化しないし、ビット線32a及び配線32c~32eに悪影響を与えることもない。

【0041】ところで、TEOSガスと酸素ガスを使用するプラズマCVD法により形成された第4の層間絶縁膜33は等方的に成長するために、第4の層間絶縁膜33の上面形状はその下のビット線32aや配線32c~32e等の一層目のアルミニウム配線の形状の影響を受け易くなる。従って、第4の層間絶縁膜33であるTEOS膜の上に二層目のアルミニウム配線を形成しようとすると、二層目のアルミニウム配線のパターンニング精度が低下したり、断線が発生し易くなる等の問題がある。

【0042】そこで、第4の層間絶縁膜33であるTEOS膜の上面を平坦化するために、図9に示すように、その上面をCMP法により研磨する工程を採用する。その研磨量は、最上面から約1.0 μ mの厚さ相当程度とする。ところで、第4の層間絶縁膜33をCMP法により研磨した後に、後述するように第4の層間絶縁膜33を加熱すると、その加熱によりキャパシタQの分極電荷量が小さくなることが実験により明らかになった。

【0043】これは、CMP法による平坦化の際に使用されるスラリー中の水分や、その後の洗浄時に使用される洗浄液中の水分が、第4の層間絶縁膜33であるTEOS膜の表面に付着したりその内部に吸収され、その下方のキャパシタQまで達し、その水分が加熱によってキャパシタQを劣化させるからである。即ち、第4の層間絶縁膜33の研磨後にキャパシタQが高温で加熱されることにより、キャパシタ誘電体膜24を構成する強誘電体材料が層間絶縁膜中の水分により還元されて強誘電性が失われ、或いは、強誘電体材料と電極の界面が水分により劣化されるためであると考えられる。特に、第4の層間絶縁膜33が後述する金属膜に覆われた状態で第4の層間絶縁膜33、第3の層間絶縁膜31が加熱されると、第4の層間絶縁膜33に吸収された水分は、外部に放出されにくくなって、ビット配線32aの間の隙間を通過して第3の層間絶縁膜31内に浸透してキャパシタQの周囲に到達することになり、水分によるキャパシタQの劣化が進むことになる。

【0044】そこで、研磨時に第4の層間絶縁膜33内に入り込んだ水分やその表面に付着している水分を除去してキャパシタQの劣化を防止するために、図10に示すように第4の層間絶縁膜33に対してプラズマアニールによる脱水処理を施す。即ち、第4の層間絶縁膜33をCMP法により平坦化した後に、シリコン基板10をプラズマ発生装置（不図示）のチャンバ内に載置し、そのチャンバ内でN₂Oガスを700sccm、N₂ガスを200sccmの流量で供給し、これらのガスをプラズマ化して、基板温度を450℃以下、例えば350℃として3分間

以上、好ましくは4分以上の時間で第4の層間絶縁膜33をプラズマに曝す。これにより、第4の層間絶縁膜33内の水分が外部に放出されるとともに、第4の層間絶縁膜33の少なくとも表面には、窒素（N）原子が入り込んでSiONが形成され、その後に水分が入り難い状態となる。

【0045】プラズマを使用しない熱処理を用いてN原子でプラズマTEOS膜を窒化しようとする、使用されるN₂分子が不活性なため、1000℃以上の熱処理が必要である。また、より活性なアンモニア（NH₃）分子を用いる場合でも、750℃以上の熱処理が必要であり、下層のアルミニウム配線層が溶融してしまう問題が生じる。効果的に、プラズマTEOS膜を窒化しようとすれば、プラズマアニールが最も有効である。

【0046】そのプラズマアニールは、450℃以下の温度で行っている、その下方でアルミニウムから形成された一層目のアルミニウム配線32a、32c~32eに悪影響を与えることはない。ところで、特開平10-83990号公報（米国特許6017784）では、TEOSガスを 사용하여酸化シリコン膜を形成した後にN₂又はN₂Oのプラズマ処理によって酸化シリコン膜中の水素を脱ガスすることが記載されている。このプラズマ処理は、研磨された酸化シリコン膜に対して行われるものではなく、しかも、強誘電体キャパシタを覆っている酸化シリコン膜に対して行われるものではない。

【0047】これに対して、本発明の実施形態では、TEOSを用いて形成されたSiO₂からなる第4の層間絶縁膜33の表面を研磨した後に、第4の層間絶縁膜33をプラズマアニールしているものであり、その研磨処理工程で侵入した水分を除去するためにN₂Oプラズマアニールが有効であることについては、上記文献には記載がない。また、本実施形態では、上記した条件のプラズマアニールを経ても強誘電体又は高誘電体キャパシタQの特性が良好に維持されることを明らかにしている。

【0048】以上のようなプラズマアニール処理を終えた後に、図11に示すように、再堆積層間絶縁膜34としてTEOS膜を層間絶縁膜33の上に100nm以上の厚さ、例えば200nmの厚さに形成する。再堆積層間絶縁膜34は、次に述べるように第4の層間絶縁膜33の研磨面に現れる空洞を覆うために形成される。再堆積層間絶縁膜34はキャップ層として作用し、層間絶縁膜33の再吸湿を防止するという効果もある。再堆積層間絶縁膜33の最適膜厚については後述する。

【0049】なお、再堆積層間絶縁膜34をN₂Oプラズマアニールしてもよい。ところで上記したように、第4の層間絶縁膜33の研磨面にはキーホールやスリットと呼ばれる空洞（ス、ボイドともいう）が現れることがあるが、これは次のような理由による。プラズマCVD法によりTEOS膜を形成すると、そのTEOS膜は等方的に成長してその膜厚が2.0 μ m程度の厚さになる

と、一層目のアルミニウム配線間、即ちメモリセル領域1のビット線32a相互間や周辺回路領域2の一層目のアルミニウム配線32c~32eの相互間で空洞が発生し易くなる。

【0050】ところで、図17(a)に示すように、ビット線32aはキャパシタQによって持ち上げられているので、ビット線32a間に発生する空洞33uは、他の領域で発生する空洞33uよりも高い位置に形成されることになる。従って、TEOS膜からなる第4の層間絶縁膜33を研磨した後は、図17(b)に示すように、メモリセル領域1に存在する空洞33uが研磨面から露出し易くなる。

【0051】なお、図17(a)は、図8のI-I断面図、図17(b)は図9のII-II線断面図であり、図中符号32f、32gは、それぞれ一層目のアルミニウム配線を示している。そのように、メモリセル領域1において第4の層間絶縁膜33上から露出する空洞33uは、ビット線32aの間に沿って溝状に表出するので、その空洞33uが露出した状態で第4の層間絶縁膜33の上に直に配線形成用金属膜を形成すると、その金属膜が空洞33u内に埋め込まれることになり、金属膜をパターニングして配線を形成した後でも、空洞33u内の金属膜が除去されずに残ってしまう。その空洞33u内の金属膜は、これと同じ金属膜から形成された配線同士を短絡させる媒体になるので、空洞33u内に金属膜を予め形成しないようにする必要がある。

【0052】本実施形態では、図11に示したように、第4の層間絶縁膜33を研磨した後に、再堆積層間絶縁膜34で第4の層間絶縁膜33の研磨面を覆うようにしているので、第4の層間絶縁膜34の研磨面から露出した空洞33u内には金属膜が形成されないことになる。なお、図11のIII-III線断面を示すと図18(a)のようになる。

【0053】図19(a)は、再堆積層間絶縁膜34がない場合の第4の層間絶縁膜33とその下の構造を示す断面図であり、図19(b)は、第4の層間絶縁膜33の上に再堆積層間絶縁膜34を形成した状態を示す断面図である。なお、図19(a)、(b)は、FeRAMのメモリセル領域の断面写真に基づいて描かれている。以上のような再堆積層間絶縁膜34を形成した後に、図12~図16に示すように、二層目のアルミニウム配線を形成する工程に移る。

【0054】まず、図12に示すように、フォトリソグラフィ法により再堆積層間絶縁膜34及び第4の層間絶縁膜33をパターニングして、一層目のアルミニウム配線、例えば周辺回路領域2の配線32dに到達するビアホール33aを形成する。その後、ビアホール33aを通してその下の配線32dの表面を所定量、例えば35nmの深さでエッチングする。

【0055】続いて、図13に示すように、ビアホール

33aの内面と再堆積層間絶縁膜34の上面に、膜厚20nmのTi膜と膜厚50nmのTiN膜をスパッタリングにより順次形成し、それらの膜をグルーレイヤ35aとする。なお、図18(b)は、図13のIV-IV線断面図である。その後、六フッ化タンゲステン(WF₆)ガスとシラン(SiH₄)ガスを使用してCVD法によりグルーレイヤ35aの上にタンゲステンシード(不図示)を形成する。さらに、WF₆ガスとシラン(SiH₄)ガスに水素(H₂)ガスを加えて、成長温度を430℃としてグルーレイヤ35a上にタンゲステン膜35bを形成する。これにより、図14に示すように、ビアホール33a内には、グルーレイヤ35aとタンゲステン膜35bが充填される。

【0056】その後、再堆積層間絶縁膜34上面上のタンゲステン膜35bをCMP法又はエッチバックにより除去して、ビアホール33a内にのみ残存させる。このとき、再堆積層間絶縁膜34上のグルーレイヤ35aは除去しても、しなくてもよい。図15ではグルーレイヤ35aを再堆積層間絶縁膜34上面からCMP法により除去した場合を示している。

【0057】これにより、配線32dと上層配線とを電氣的に接続するためのビア(プラグ)35がビアホール33a内に形成される。ところで、上記した第4の層間絶縁膜33の研磨面から現れる空洞33uの幅は、CMP法による研磨のばらつきなどによって均一とはならない。空洞33uの露出幅がばらつくと、次のような問題が発生する。

【0058】即ち、図20(a)に示すように、第4の層間絶縁膜33上から露出した空洞33uの上に薄い再堆積層間絶縁膜34を形成すると、図20(b)に示すように、空洞33uが再堆積層間絶縁膜34によって完全に覆われずにその一部が露出することがある。そして、そのような状態で、図20(c)に示すように、上記したグルーレイヤ35aを形成すると、グルーレイヤ35aが空洞33uの上で段切れを起こしてスリットが形成されるおそれがあり、そのスリットが存在すると、タンゲステン膜35bを形成する際に使用する反応ガス中の水素が図20(d)に示すように、そのスリットを通してその下の第4の層間絶縁膜33に入ってしまう。第4の層間絶縁膜33中に侵入した水素は、キャパシタQを還元してキャパシタ特性を劣化させるので好ましくない。

【0059】そこで、第4の層間絶縁膜33から露出した空洞33uを確実に覆うためには再堆積層間絶縁膜34が少なくとも300nm以上の膜厚が必要であることが実験結果から明らかになった。ところで、空洞33u内にグルーレイヤ35aやタンゲステン膜35bが充填されることを防止するために、再堆積層間絶縁膜34の膜厚がどの程度必要かを調査したところ、図21のような結果が得られた。図21の縦軸は、配線間のリークが発生する頻度を示し、その横軸はリーク電流値を示して

いる。図 21 の結果によれば、再堆積層間絶縁膜 34 の膜厚が 50 nm では配線間のリークの頻度が大きく、その膜厚を増やすに従って配線間リーク頻度が減少し、100 nm ではほぼ配線間ショートを防止できることがわかった。従って、空洞 33 u の露出による配線間のリークを低減するためには再堆積層間絶縁膜 34 の膜厚が少なくとも 100 nm あることが望ましい。

【0060】一方、再堆積層間絶縁膜 34 の上にグルーレイヤ 35 a、タングステン膜 35 b を形成し、これをパターニングしてプラグ 35 を形成し、その上に後述す 10

第 2 層間絶縁膜厚	分極電荷量 (Qsw)	
	プロセスアウト後	ベーク後
0 nm	24.2 $\mu\text{C}/\text{cm}^2$	11.4 $\mu\text{C}/\text{cm}^2$
100 nm	25.1 $\mu\text{C}/\text{cm}^2$	17.5 $\mu\text{C}/\text{cm}^2$
300 nm	25.3 $\mu\text{C}/\text{cm}^2$	22.6 $\mu\text{C}/\text{cm}^2$

表 1 によれば、加速試験前の状態では、再堆積層間絶縁膜が厚い方が分極電荷量が僅かに大きくなっている。しかし、加熱後は、試料間の分極電荷量の差が顕著になる。とくに、再堆積層間絶縁膜 34 が 0 nm の場合、即ち再堆積層間絶縁膜 34 を形成しないときには、分極電荷量が加熱後に半分以下に減り、強誘電体キャパシタ Q は著しく特性が劣化する。また、再堆積層間絶縁膜 34 が 300 nm の時は、強誘電体キャパシタ Q の劣化は軽度であり、加熱後の分極電荷量は 22.6 $\mu\text{C}/\text{cm}^2$ となって、FeRAM を正常に動作させるためには十分な値となっている。

【0062】なお、再堆積層間絶縁膜 34 の 300 nm という膜厚は、空洞 33 u の露出する部分のばらつきを考慮して決定されるのである。ところで、再堆積層間絶縁膜 34 が厚すぎると、ビアホール 33 a のアスペクト比が増大してビアホール 33 a 内でグルーレイヤ 35 a やタングステン膜 35 b のカバレッジが悪くなる。即ち、再堆積層間絶縁膜 34 の膜厚の上限値は、ビアホール 33 a のアスペクト比から決定される。例えば、ビアホール 33 a のアスペクト比を 2.3 とする場合に、ビアホール 33 a の直径を 0.6 μm 、第 4 の層間絶縁膜 33 の厚さを 1.0 μm とすれば、再堆積層間絶縁膜 34 の膜厚は約 0.4 μm (400 nm) 必要となる。

【0063】以上のような工程によって再堆積層間絶縁膜 34、ビア 35 を形成する工程を終えた後に、再堆積層間絶縁膜 34 の上に第 1 の TiN 膜を 50 nm、Al 膜を 500 nm、第 2 の TiN 膜を 50 nm の厚さに順次形成し、これらの膜をパターニングすることにより、配線 36 を形成する。なお、再堆積層間絶縁膜 34 上面にグルーレイヤ 35 a を残す場合には、第 1 の TiN 膜の形成を省略してグルーレイヤ 35 a の上にアルミニウム膜と第 2 の TiN 膜を形成することになる。

る二層目のアルミニウム配線を形成し、さらに、二層目のアルミニウム配線を絶縁膜で覆うといった一連の工程を終えた後に、再堆積層間絶縁膜 34 の膜厚と加速試験によるキャパシタ分極電荷量の変化の関係を調査したところ、次の表 1 に示すような結果が得られた。なお、加速試験は、大気中で温度 200℃ で 1 時間、基板を加熱して行われた。

【0061】

【表 1】

【0064】次に、第 1 及び第 2 の TiN 膜と Al 膜、又は、第 2 の TiN 膜と Al 膜とグルーレイヤをフォトリソグラフィ法によりパターニングすることにより、図 16 に示すように、二層目のアルミニウム配線 36 を再堆積層間絶縁膜 34 の上に形成する。その後、TEOS を用いるプラズマ CVD 法により、二層目のアルミニウム配線 36 と再堆積層間絶縁膜 34 の上に、第 1 のカバー絶縁膜 37 として SiO₂ 膜を 200 nm の厚さに形成する。さらに、第 1 のカバー絶縁膜 37 の上に、プラズマ CVD 法により SiN よりなる第 2 のカバー絶縁膜 38 を 500 nm の厚さに形成する。これらの第 1 及び第 2 のカバー膜 37、38 により二層目の配線 36 が被覆される。

【0065】二層目のアルミニウム配線 36 が形成された後のメモリセル領域 1 における各種導電パターンの平面的な位置関係は図 22 のようになる。なお、図 22 中で素子分離絶縁膜 11 以外の絶縁膜は省略されている。以上のような工程により、キャパシタ誘電体膜 24 として強誘電体を用いた FeRAM の基本的な構造が完成する。

【0066】本実施の形態においては、キャパシタ Q と一層目のアルミニウム配線 32 a、32 c ~ 32 e を覆う第 4 の層間絶縁膜 33 の上面を CMP 法で平坦化している。これにより、キャパシタ Q と配線 32 a の上に形成した層間絶縁膜 33 のさらに上で平坦に形成される二層目のアルミニウム配線 36 のパターン精度を良好にすることができる。

【0067】また、層間絶縁膜 33 を研磨した後に、N₂O プラズマアニールを施して層間絶縁膜 33 中の水分を除去しているため、その後の工程において加熱されても、強誘電体膜 (キャパシタ誘電体膜 24) の還元、劣化が回避される。これにより、良好な特性の FeRAM を製造できる。しかも、N₂O プラズマアニールを 450

℃以下で行っているため、一層目のアルミニウム配線を劣化させることもない。

【0068】そのような N_2O プラズマアニール工程を入れてFeRAMを形成した場合と、その工程を省略してFeRAMを形成した場合のキャパシタQの分極電荷量を調べたところ次の表2に示すような結果が得られ、 N_2O プラズマアニールがキャパシタの劣化を防止するために有効であることが確かめられた。

【0069】

【表2】

	分極電荷量 (Q_{sw})
N_2O プラズマアニール有り	$21.3 \mu C/cm^2$
N_2O プラズマアニール無し	$15.4 \mu C/cm^2$

なお、上記の実施の形態では、 N_2O を用いたプラズマアニールにより層間絶縁膜33を脱水処理する場合について説明したが、脱水処理に用いるガスは N_2O に限定されるものではなく、例えば N_2 ガス、 O_2 ガス又は NO ガスを用いたプラズマアニールでも同様の効果が得られる。また、プラズマアニールに使用するガスは、 $N_2O + N_2$ 、 $N_2 + O_2$ 等の混合ガスでもよい。さらに、そのような単体ガス又は混合ガスに、アルゴン(Ar)、ヘリウム(He)、ネオン(Ne)の不活性ガスを混合してプラズマ化してもよい。

【0070】更にまた、上記の実施の形態では層間絶縁膜33に対し脱水処理を施した後、再堆積層間絶縁膜34を形成したが、CMP研磨後の層間絶縁膜33の上に再堆積層間絶縁膜34を形成し、その後脱水処理を施してもよい。上記の実施の形態のように再堆積層間絶縁膜34を薄く形成する場合は再堆積層間絶縁膜34中に含まれる水分量が極めて少ないが、再堆積層間絶縁膜34を厚く形成する場合は再堆積層間絶縁膜34中に含まれる水分によりキャパシタ誘電体膜が還元されてしまうおそれがある。これを防止するために、再堆積層間絶縁膜34を形成した後、 N_2O 又は NO を用いるプラズマアニールによる脱水処理を実施してもよい。但し、この場合、再堆積層間絶縁膜34をプラズマCVD法により酸化シリコン($SiON$)膜又はプラズマCVD法により窒化シリコン(SiN)膜で形成すると、これらの膜は水分を通し

【0071】即ち、再堆積層間絶縁膜34としては、上述したプラズマCVD法により形成したTEOS膜(P-TEOS膜)に代えて、熱CVD法でオゾン(O_3)とTEOSとを用いて形成したTEOS(O_3 -TEOS)

膜、プラズマCVD法により形成した SiO_2 (P- SiO_2)膜、ノンバイアスのHDP(High Density Plasma)-CVDにより形成した SiO_2 膜、プラズマCVD法により形成した $SiON$ (P- $SiON$)膜及びプラズマCVD法により形成した SiN (P- SiN)膜などを使用してもよい。但し、 O_3 -TEOS膜は、水分含有量がP-TEOS膜に比べて多いので、本実施形態ではP-TEOS膜を用いている。また、 $SiON$ 膜及び SiN 膜は水分の透過性が低いので、これらの膜を再堆積層間絶縁膜34として使用する場合は、第4の層間絶縁膜33を脱水処理した後に、再堆積層間絶縁膜34を形成することが必要である。

【0072】図23は、横軸にP-TEOS膜に対するプラズマアニール処理時間を取り、縦軸に分極電荷量(Q_{sw})をとって、分極電荷量の脱水処理時間依存性を示す図である。但し、プラズマアニールの条件は、温度が350℃、プラズマに印加するパワーが300W、 N_2O の流量が700sccm、 N_2 ガスの流量が200sccmである。分極電荷量 Q_{sw} の値が大きいほど、分極特性が良好であるといえる。

【0073】図23からわかるように、プラズマアニールの処理時間を3分以上とすることにより、十分な特性を得ることができる。強誘電体膜の初期状態における分極電荷量は約 $28 \mu C/cm^2$ であり、約4分間のプラズマアニールにより初期状態の分極電荷量まで回復させることができる。上記した実施形態では、第4の層間絶縁膜33として、TEOSガスを用いるプラズマCVD法により形成した SiO_2 膜(p-TEOS)を用いたが、その他に、熱CVD法で O_3 とTEOSとを用いて形成したTEOS(O_3 -TEOS)膜、プラズマCVD法により形成した SiO_2 (P- SiO_2)膜などで形成してもよい。 O_3 -TEOS膜は、P-TEOS膜よりも成長速度が遅いが、その膜内に空洞は生じない。

【0074】また、上記した実施形態では、FeRAM及びその形成工程について説明したが、高誘電体キャパシタを有する揮発性メモリ(DRAM)についても、水分と加熱によって高誘電体材料の絶縁性が劣化したり、高誘電体材料膜と電極との界面が劣化し易くなる。そこで、上記したと同様に、高誘電体キャパシタの上に形成される絶縁膜の上面をCMP法により平坦化した後に、その表面を N_2O 、 NO 等のガスを用いてその絶縁膜の脱水処理をしたり、あるいは、そのような脱水処理後、又は脱水処理前に平坦化された面の上にP-TEOSを用いて再堆積層間絶縁膜を形成してもよい。高誘電体材料として、(BaSr)TiO₃などの高誘電体材料を使用すればよい。

【0075】また、本発明は、強誘電体不揮発性半導体メモリ又は高誘電体半導体メモリとロジックデバイスとを混載したいわゆるシステムLSIの製造に適用することもできる。

【0076】

10

20

30

40

50

【発明の効果】以上述べたように本発明によれば、キャパシタとその上を通る配線のさらに上に形成された絶縁膜を研磨して平坦化するようにしたので、その絶縁膜の平坦面上に配線を精度良く形成することが容易になる。また、研磨された絶縁膜に対し N_2O 又は NO を含むプラズマアニールによる脱水処理を施すようにしたので、その絶縁膜の表面に付着している水分、及び絶縁膜中に侵入している水分をより確実に除去することができ、キャパシタを構成する強誘電体材料又は高誘電体材料の還元や、キャパシタ劣化を防止できる。従って、強誘電体材料又は高誘電体材料の誘電特性の劣化を回避でき、良好な特性のFeRAM又はDRAMを製造することができる。

【図面の簡単な説明】

【図1】図1は、発明の実施の形態の半導体装置の製造方法を示す断面図（その1）である。

【図2】図2は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その2）である。

【図3】図3は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その3）である。

【図4】図4は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その4）である。

【図5】図5は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その5）である。

【図6】図6は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その6）である。

【図7】図7は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その7）である。

【図8】図8は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その8）である。

【図9】図9は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その9）である。

【図10】図10は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その10）である。

【図11】図11は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その11）である。

【図12】図12は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その12）である。

【図13】図13は、本発明の実施の形態の半導体装置

の製造方法を示す断面図（その13）である。

【図14】図14は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その14）である。

【図15】図15は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その15）である。

【図16】図16は、本発明の実施の形態の半導体装置の製造方法を示す断面図（その16）である。

【図17】図17(a)は図8のI-I線断面図、図17(b)は図9のII-II線断面図である。

【図18】図18(a)は図11のIII-III線断面図、図18(b)は図13のIV-IV線断面図である。

【図19】図19(a)は、図17(b)の断面を撮影した写真に基づいて描いた断面図であり、図19(b)は、図18(a)の断面を撮影した写真に基づいて描いた断面図である。

【図20】図20(a)～(d)は、図17(b)に示した空洞が絶縁膜によって十分埋め込まれない工程を示す断面図である。

【図21】図21は、本発明の実施形態に係る半導体装置のメモリセルに使用されるキャパシタのリーク電流と累積確率の関係を示す図であって、累積確率を示す縦軸とリーク電流量を示す横軸は対数目盛で示される。

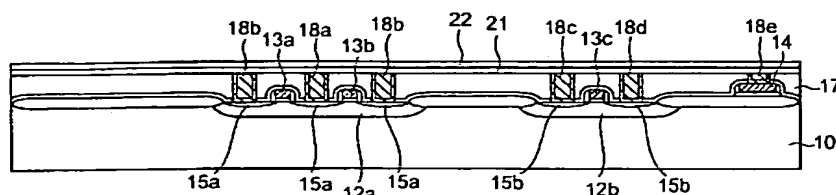
【図22】図22は、本発明の実施形態に係る半導体装置のメモリセル領域の導電パターンの配置を示す平面図である。

【図23】図23は、本発明の実施形態に係る半導体装置に形成されたキャパシタの分極電荷量の脱水処理時間依存性を示す図である。

【符号の説明】

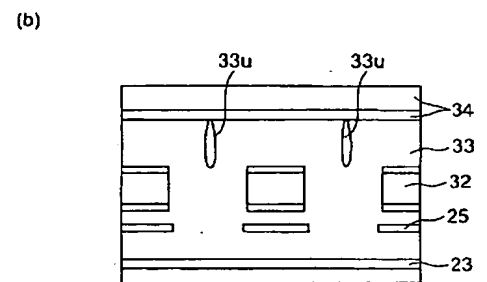
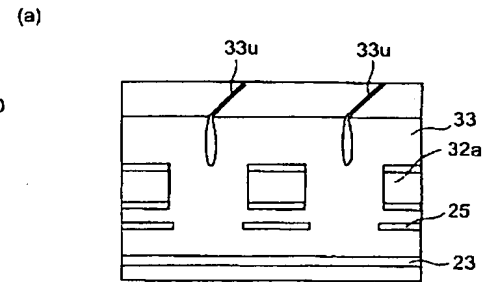
10…半導体基板、11…素子分離絶縁膜、12a、12b…ウェル領域、13a、13b、13c…ゲート電極、15a、15b…不純物拡散領域、16…サイドウォール、17、26、31、33…層間絶縁膜、18…プラグ、21… $SiON$ 膜、22… SiO_2 膜、23…下部電極、24…誘電体膜、25…上部電極、27…局所配線、32a…ビット線、32b～32g…配線、34…再堆積層間絶縁膜、35a…グレーレイヤ、35b…タングステン膜、35…プラグ、36…アルミニウム配線、37、38…カバー膜。

【図3】

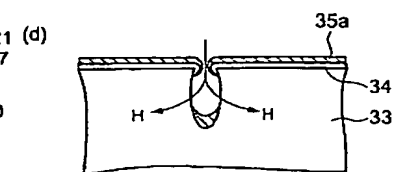
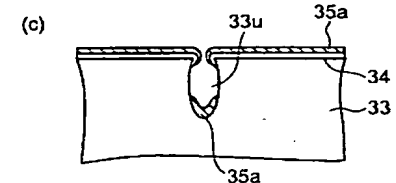
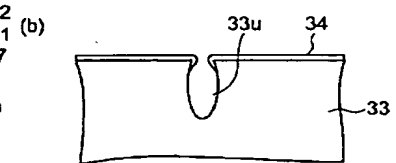
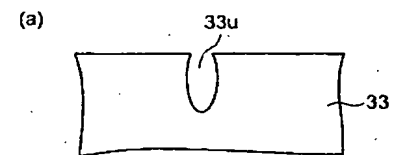


21: $SiON$ 膜
22: $TEOS$ 膜

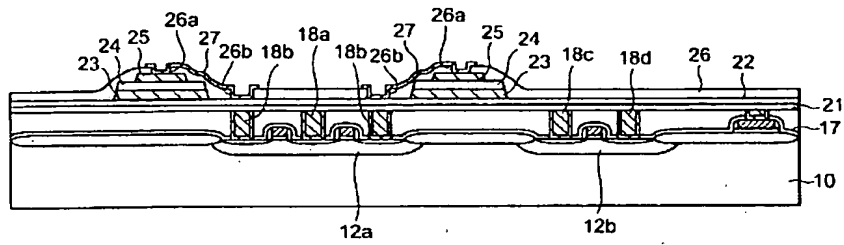
【图 19】



【圖 20】

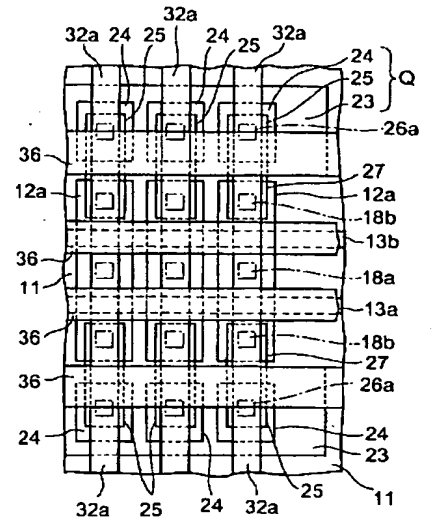


【図6】

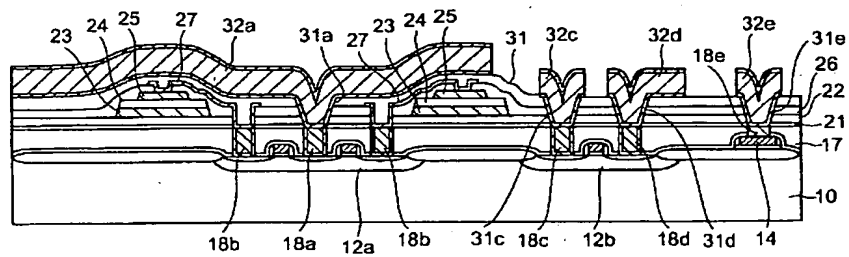


26: 層間絶縁膜
27: 局所配線
26a, 26b: コンタクトホール

【図22】

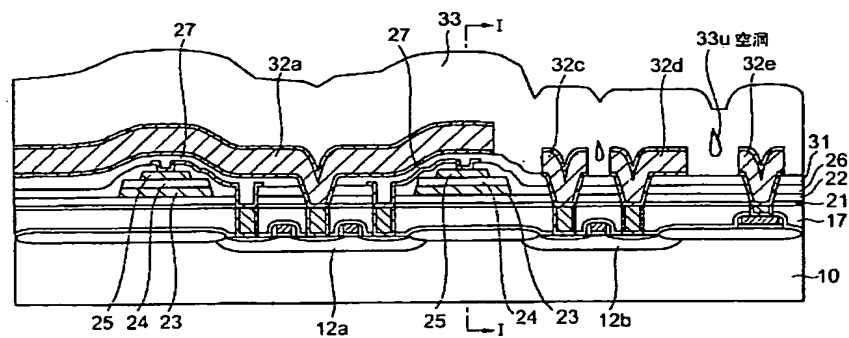


【図7】



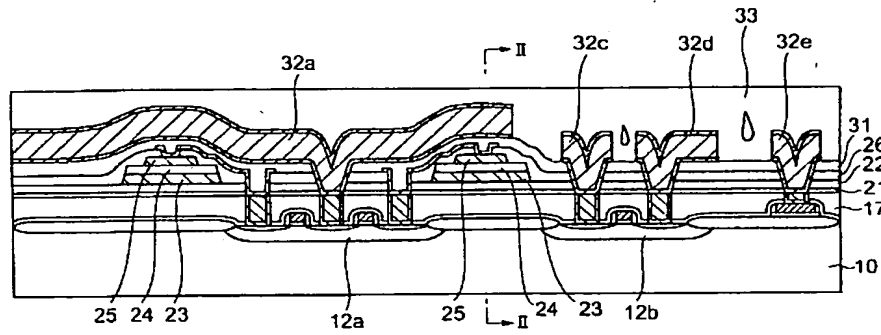
31: 層間絶縁膜
32: 配線
31a, 31c~31e: コンタクトホール

【図8】



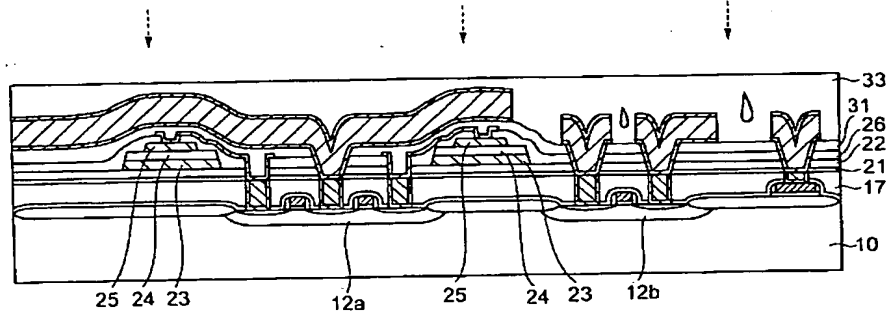
33: 層間絶縁膜

【図9】



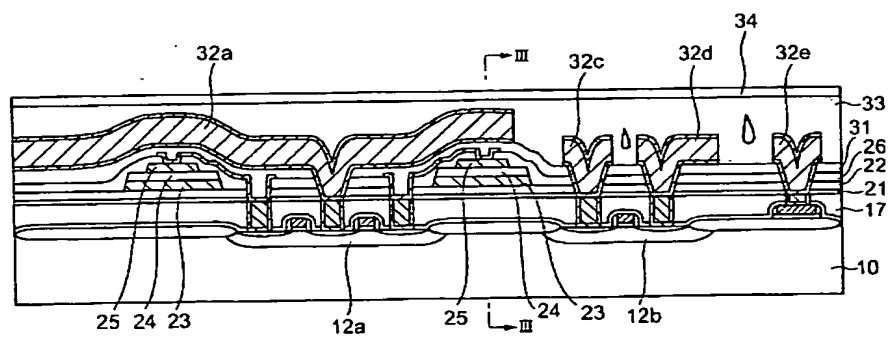
33: 層間絶縁膜

【図10】

 $(N_2O+N_2)O_2$ プラズマ

33: 層間絶縁膜

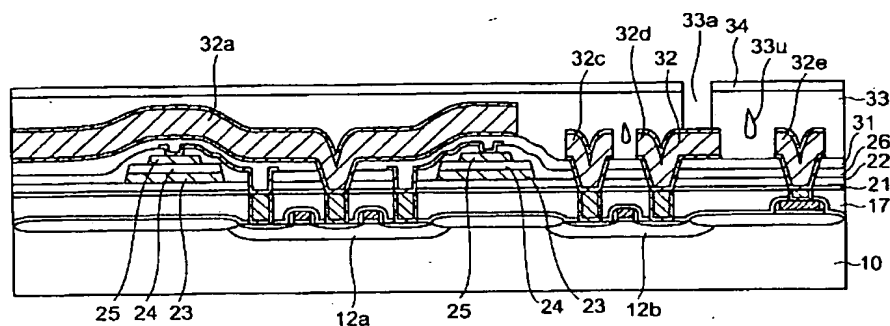
【図11】



33: 層間絶縁膜

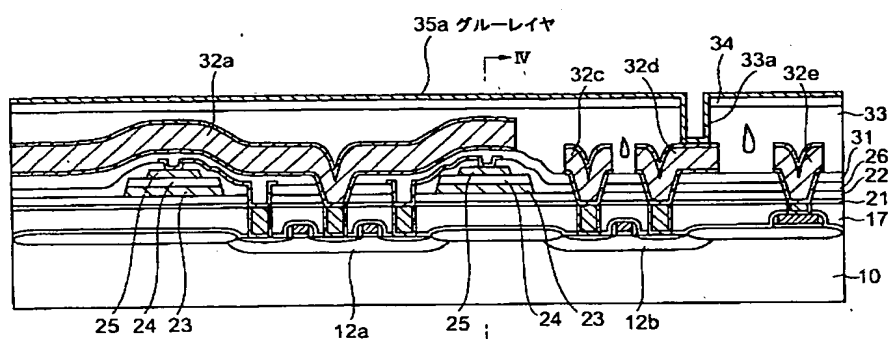
34: 再堆積層間絶縁膜

【図12】



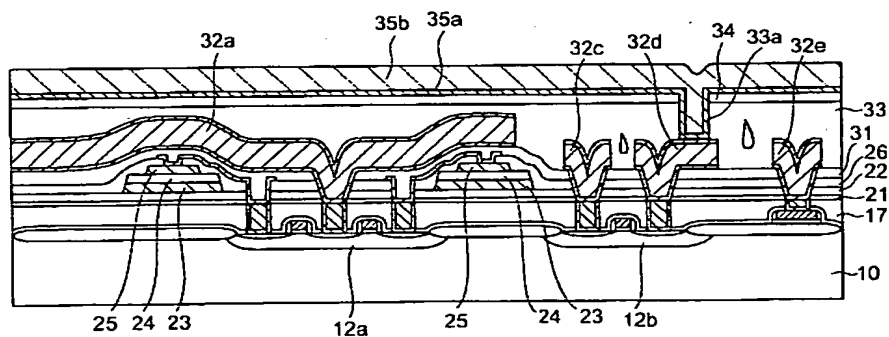
33: 層間絶縁膜
34: 再堆積層間絶縁膜

【図13】



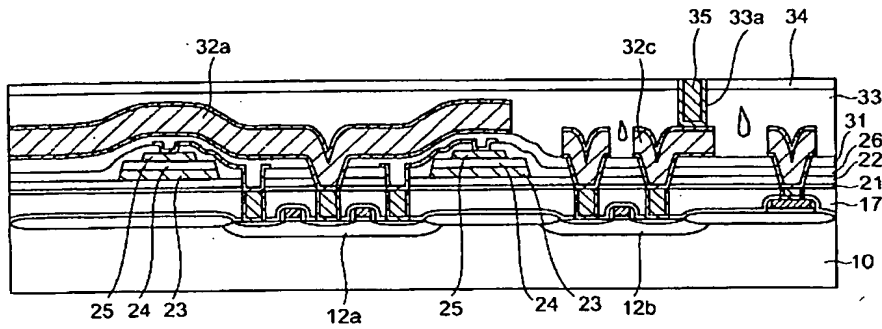
33: 層間絶縁膜
34: 再堆積層間絶縁膜

【図14】



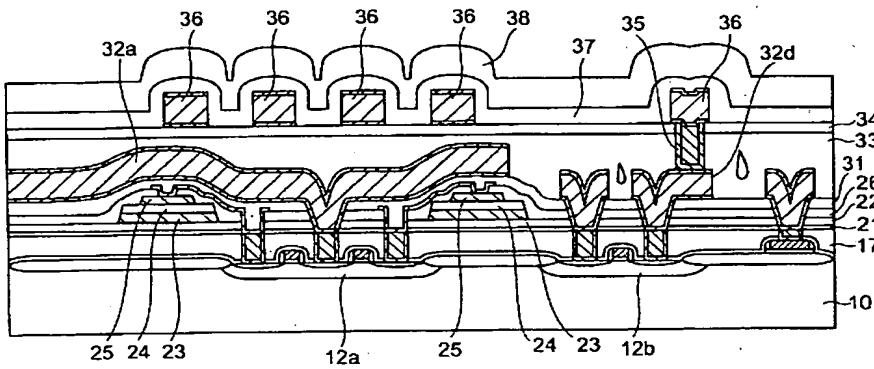
33: 層間絶縁膜
34: 再堆積層間絶縁膜
35b: タングステン膜

【図15】



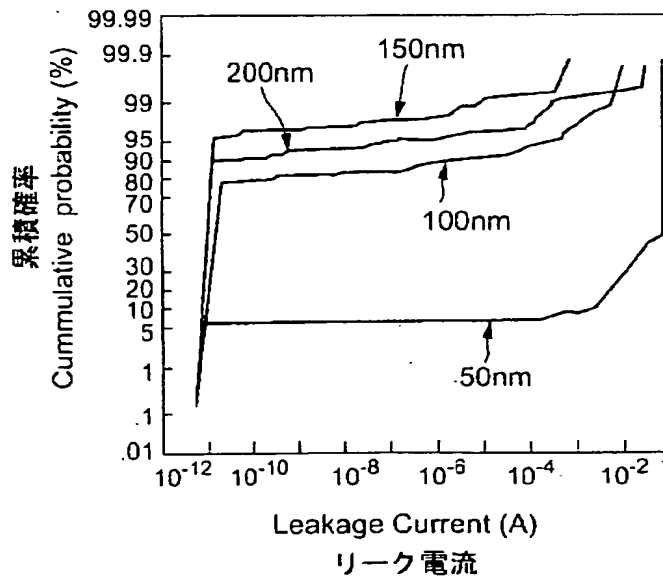
35: プラグ

【図16】

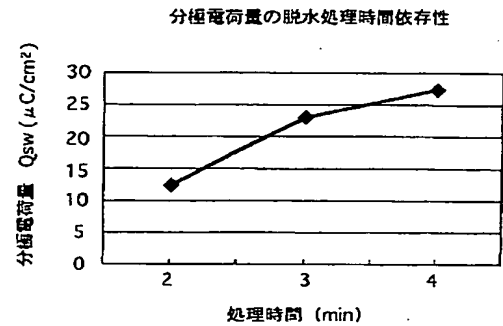


36: 配線
 37: カバー-TEOS膜
 38: カバー-SiN膜

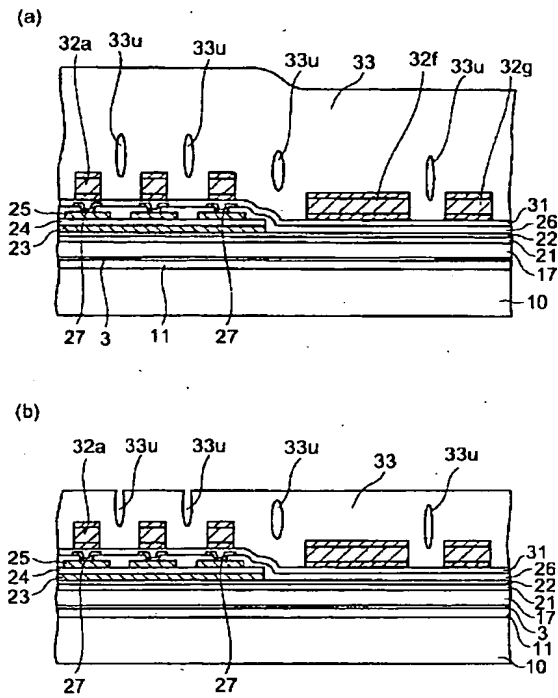
【図21】



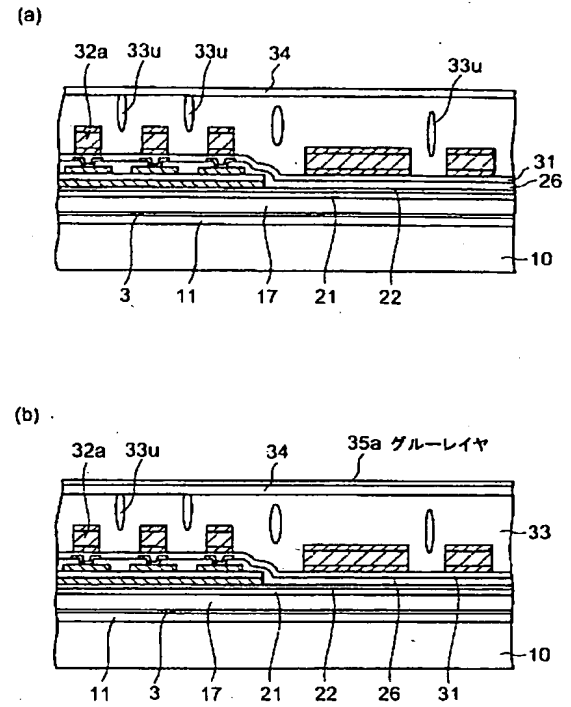
【図23】



【図17】



【図18】



フロントページの続き

(51) Int. Cl.⁷

H01L 21/8242

識別記号

FI

H01L 21/90

27/10

テーマコード(参考)

P

621Z

681F